

# Boucles à verrouillage de phase : structures, modélisation et applications

Une transmission d'informations nécessite la synchronisation de l'émetteur et du récepteur. Dans une transmission numérique en bande de base (sans modulation) par exemple, il est impératif de retrouver la fréquence et la phase de l'horloge d'émission au niveau du récepteur. Cette opération très simple dans une liaison asynchrone, peut devenir plus délicate avec une liaison synchrone sur un canal bruité.

Dans le cas d'un signal modulé, une démodulation synchrone nécessite également de connaître phase et fréquence du signal porteur.

Ces opérations vont faire intervenir des asservissements de fréquence et de phase, asservissements réalisés par un ensemble appelé « boucle à verrouillage de phase » (BVP) ou PLL (pour « Phase Locking Loop »). Les BVP constituent un élément important de l'électronique moderne dont l'utilisation ne se limite pas aux télécommunications mais touche des domaines aussi divers que la commande de moteur ou l'instrumentation. Avant d'étudier les applications, quelques notions préliminaires sur les relations phase fréquence seront rappelées, puis nous passerons en revue les différentes réalisations possibles, analogique, semi-numérique et numérique. En dernière partie nous nous intéresserons à la modélisation, partie importante pour la mise en œuvre, comme dans le cas de tous les asservissements.

Pour illustrer cet exposé, quelques simulations sont présentées. Lorsqu'elles font intervenir des signaux analogiques, elles ont été réalisées avec Orcad Pspice ; pour plus de détails, on consultera la première référence donnée en bibliographie. Les simulations de la boucle purement numérique ont été réalisées avec le logiciel Maxplus + II, les programmes VHDL étant donnés en annexe. Les chronogrammes présentés sont quant à eux obtenus grâce au logiciel de calcul matriciel Scilab.

## 1 Notions préliminaires

La compréhension des mécanismes des boucles à verrouillage de phase nécessite d'avoir à l'esprit les notions de pulsations instantanées  $\omega(t)$  et phase instantanée  $\phi(t)$  d'un signal. Il convient de faire la différence entre cette dernière et la phase à l'origine communément utilisée avec les signaux à fréquence fixe.

Comme pour la vitesse et la position d'un solide en rotation, pulsation et phase sont liées par une relation de dérivation :

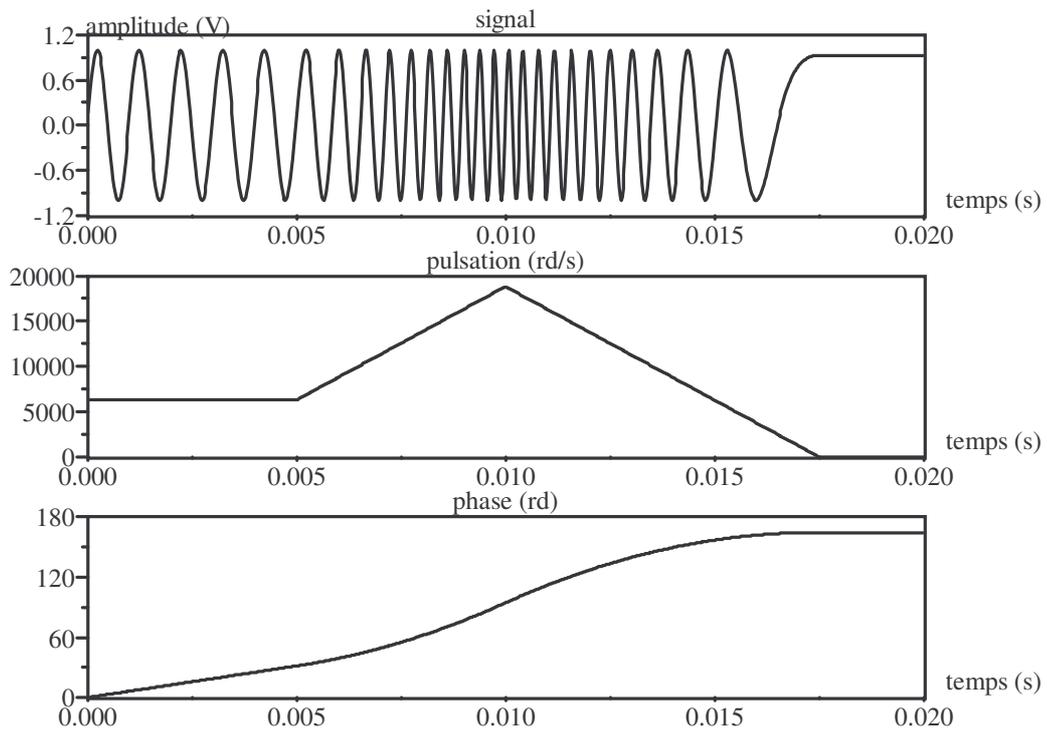
$$\omega(t) = \frac{d\phi(t)}{dt}$$

La figure qui suit illustre cette relation pour un signal dont la fréquence, constante dans un premier temps à 1 kHz (soit une pulsation de 6,28 krd/s) pendant 5 ms, évolue (linéairement pour simplifier) par la suite pendant 5 ms jusqu'à 2 kHz, puis redescend jusqu'à 0 avec la même pente.

En intégrant l'expression de la pulsation, on peut alors déterminer celle de la phase. Dans la première partie, elle croît linéairement, puis un terme fonction du carré du temps s'ajoute dans la seconde partie, le coefficient de ce terme devenant négatif dans la troisième partie. Lorsque la fréquence est nulle, la phase reste constante, de même que le signal.

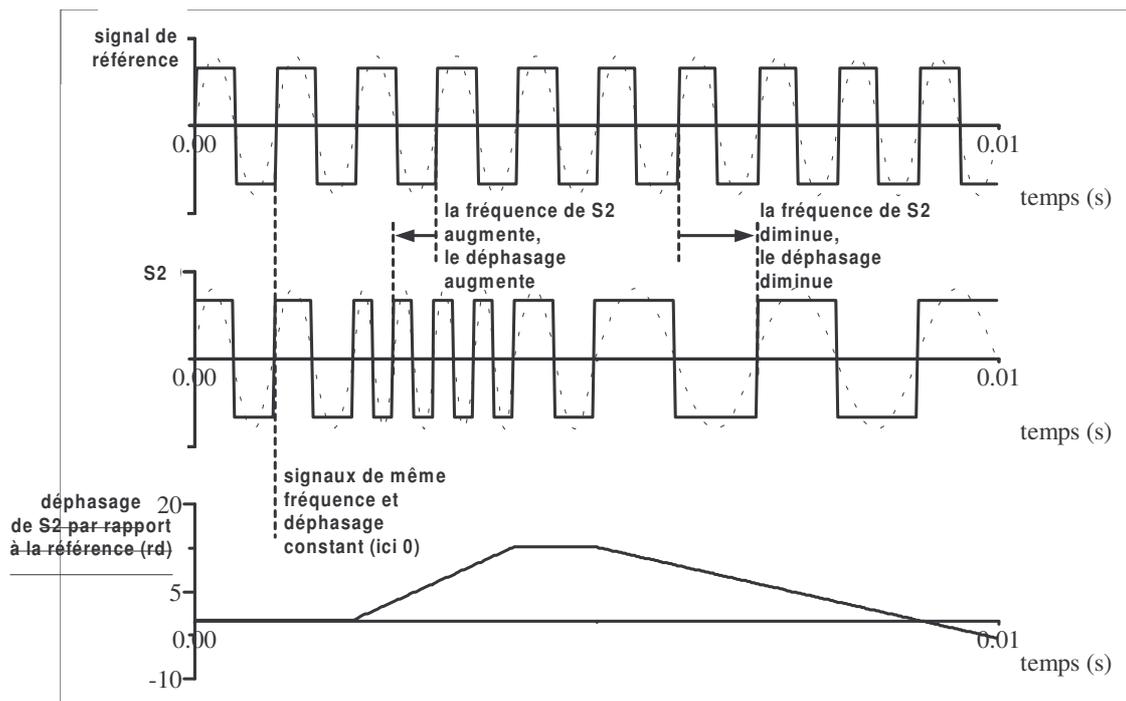
En contrôlant la phase d'un signal, on pourra donc contrôler sa fréquence.

Cette phase peut être déterminée par rapport à une référence fixe (comme dans le cas de la figure suivante) ou bien par rapport à la phase d'un signal de référence, comme ça sera généralement le cas avec les BVP. On revient alors sur la notion de phase à l'origine, l'origine étant imposée par la phase du signal de référence. Contrairement à ce que nous avons jusqu'à présent, cette phase pourra alors décroître et même devenir négative.



La notion de phase sera étendue à des signaux non sinusoïdaux, en particulier à des signaux carrés. La théorie permet en effet de générer un signal carré à partir d'un signal sinusoïdal en utilisant la fonction « sign » (qui renvoie 1 ou 0 suivant que son argument est positif ou négatif). On peut alors justifier pleinement de l'utilisation du terme phase pour un signal carré.

La figure suivante s'intéresse à la différence de phase entre deux signaux carrés dont un sert de référence. On voit que lorsque les signaux sont de même fréquence, la différence de phase reste constante (éventuellement nulle), et on retrouve alors la notion de phase à l'origine. Dès que la fréquence de l'un des signaux augmente ou diminue, la différence de phase varie.



Contrôler le déphasage entre les deux signaux, reviens donc à contrôler la fréquence de l'un par rapport à l'autre.

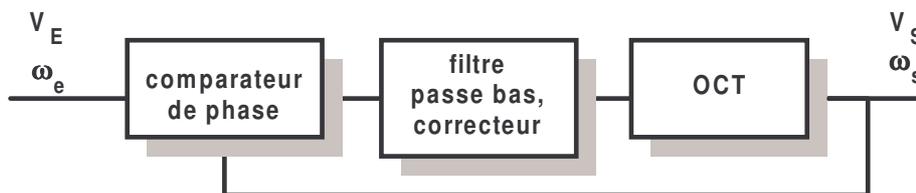
Dans la pratique, le moment où la différence de phase commence à croître ou à décroître est évidemment approximatif avec des signaux carrés et dépend de la structure utilisée pour le comparateur de phase. On notera également que nous avons étudié ici la phase  $\Phi_2$  de S2 par rapport à la phase  $\Phi_R$  de la référence, soit  $\Phi_2 - \Phi_R$ , tandis qu'un comparateur de phase effectuée comme nous allons le voir l'opération  $\Phi_R - \Phi_2$  (c'est le comparateur d'un asservissement).

## 2 Principe de base

Une des premières applications des BVP était l'extraction de la porteuse d'un signal modulé en amplitude afin d'effectuer une démodulation synchrone (voir paragraphes suivants sur les applications). Un filtre sélectif répondait mal au problème : pas assez sélectif, il présentait un mauvais rapport signal bruit en sortie, trop sélectif il devenait difficile à mettre en oeuvre, à centrer sur la fréquence souhaitée et incapable de suivre les éventuelles dérives de celle-ci.

L'idéal était de disposer d'un filtre très sélectif, stable et capable de suivre les variations de fréquence du signal incident. Un oscillateur placé dans un asservissement ayant comme entrée le signal incident répondait à ce problème.

Une boucle à verrouillage de phase sera donc composée, entre autres, d'un oscillateur commandé en tension (OCT ou VCO pour « Voltage Controlled Oscillator »). Pour commander cet oscillateur nous avons besoin d'un signal continu (ou lentement variable devant les signaux d'entrée et de sortie). Un comparateur de phase fournira une tension représentative de l'écart de phase entre les signaux d'entrée et de sortie  $V_E$  et  $V_S$ . Cette tension variant au rythme de  $V_E$  et  $V_S$ , il sera nécessaire de la filtrer pour en extraire la valeur moyenne et d'obtenir ainsi une fréquence bien stable en sortie de l'OCT.



Comme son nom l'indique le comparateur de phase va faire la différence entre la phase instantanée du signal incident et du signal de sortie de la boucle. A partir d'un point d'équilibre, si l'écart de phase varie, c'est qu'une des fréquences est en train de changer (la phase est l'intégrale de la pulsation); la boucle doit réagir en conséquence pour ajuster la sortie à l'entrée comme dans un asservissement classique.

On peut d'ors et déjà remarquer que l'utilisation d'un comparateur de phase permet d'obtenir une erreur statique de fréquence nulle, phase et fréquence étant en effet liées par une intégration. La BVP modélisée vis à vis des fréquences comprendra donc forcément une intégration dans la boucle ouverte. Les fréquences d'entrées et de sortie sont donc rigoureusement identiques en régime établi.

La BVP étant un asservissement, elle pose les problèmes d'automatique classique : précision (vis à vis de l'erreur de phase), stabilité et rapidité. Le filtre de la boucle est alors souvent modifié pour servir également de correcteur.

A partir du principe évoqué plus haut, plusieurs réalisations pratiques sont envisageables.

## 3 Exemples de réalisations

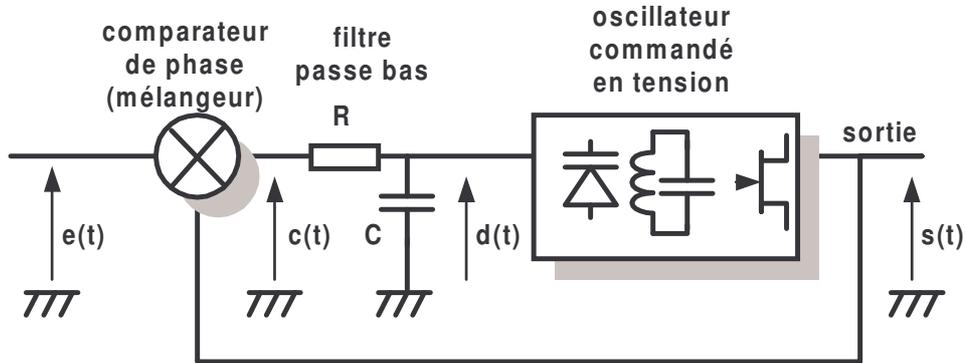
### 3.1 BVP analogique

Ce type de boucle reste peu utilisé de nos jours, fortement concurrencé par la facilité de mise en oeuvre des boucles semi-numériques et numériques.

La BVP analogique permet cependant une approche simple du principe des asservissements de phase.

### Structure de base

Le schéma suivant propose un exemple de BVP analogique. L'oscillateur commandé en tension est organisé autour d'un amplificateur (non détaillé ici), d'un circuit résonnant et d'une diode varicap.



### Fonctionnement du comparateur de phase

Le comparateur de phase est un mélangeur (mixer) qui réalise la multiplication des deux tensions  $e(t)$  et  $s(t)$ . Si ces deux tensions sont sinusoïdales, nous pouvons écrire :

$$e(t) = E \sin(\omega_1 t + \varphi_1)$$

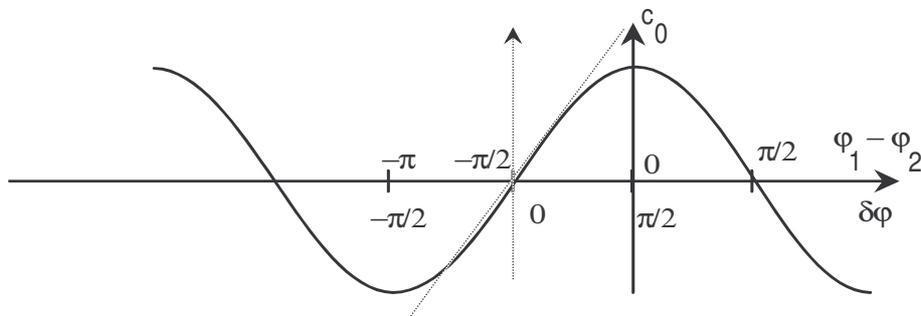
$$\text{d'où } c(t) = e(t) \cdot s(t) = \frac{ES}{2} [\cos(\omega_1 t - \omega_2 t + \varphi_1 - \varphi_2) - \cos(\omega_1 t + \omega_2 t + \varphi_1 + \varphi_2)]$$

$$s(t) = S \sin(\omega_2 t + \varphi_2)$$

Après filtrage, le terme de fréquence élevée est supprimé, celui de basse fréquence atténué plus ou moins par le filtre. Si les deux pulsations  $\omega_1$  et  $\omega_2$  sont suffisamment proche pour que le terme de basse fréquence produise en sortie du filtre une tension d'amplitude suffisante, nous entrons dans la plage de capture de la BVP qui s'accroche et  $\omega_2$  devient égale à  $\omega_1$ . La sortie  $d(t)$  est alors égale à la valeur moyenne  $c_0$  en sortie du comparateur et est proportionnelle à l'écart de phase si les amplitudes restent constantes :

$$d(t) = c_0 = \frac{ES}{2} \cos(\varphi_1 - \varphi_2)$$

La caractéristique du comparateur a donc l'allure suivante :



Une étude sommaire met en évidence que les seuls points de fonctionnement stable de cette courbe sont ceux dont la pente est positive.

Si on linéarise la co-sinusoïde obtenue autour du point  $(-\pi/2, 0)$ , le multiplicateur peut alors être vu comme un comparateur de phase. La variable  $\varphi_1 - \varphi_2$  devient alors  $\delta\varphi$  par un changement d'origine.

Lors d'un fonctionnement au milieu de la dynamique, nous aurons donc un déphasage de  $90^\circ$  entre les tensions d'entrée et de sortie. Ce point correspondra également normalement au milieu de la dynamique de fonctionnement de l'OCT, à savoir sa fréquence centrale.

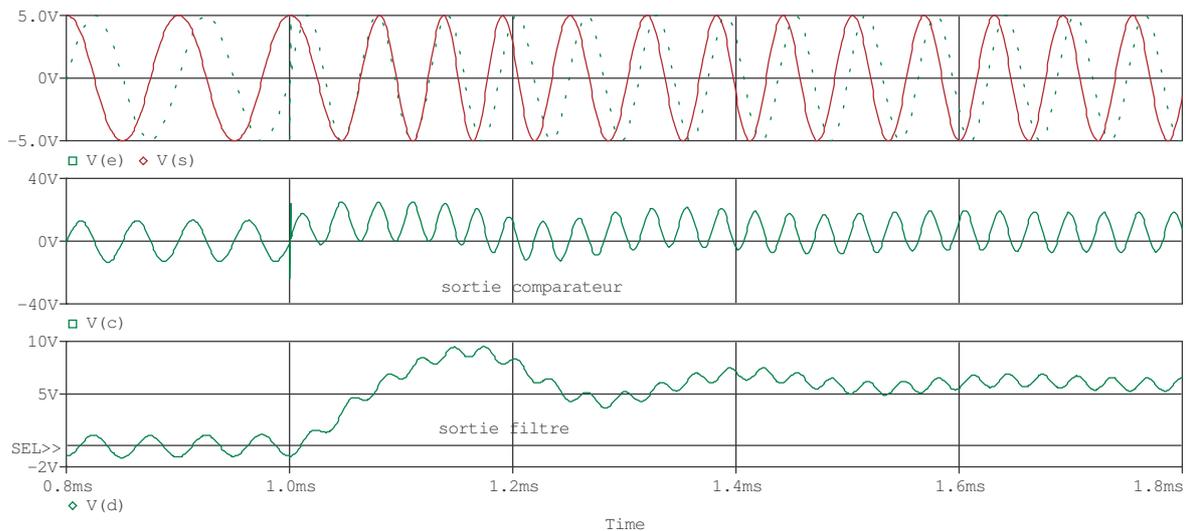
Si on augmente la fréquence d'entrée, le déphasage augmentant, la tension de sortie du filtre va augmenter et permettre à l'OCT de suivre. La fréquence de sortie suit ainsi la fréquence d'entrée jusqu'à ce que l'OCT sorte de sa gamme de fonctionnement ou que le comparateur finisse par entrer dans sa zone non linéaire, son gain diminuant puis s'inversant ; la BVP sort alors de la plage de verrouillage et décroche.

Le déphasage entre les signaux d'entrée et de sortie de la BVP variera autour de  $-90^\circ$  avec  $-180^\circ$  et  $0$  comme valeurs extrêmes (valeur dont on peut s'approcher mais que l'on ne peut atteindre en régime stable).

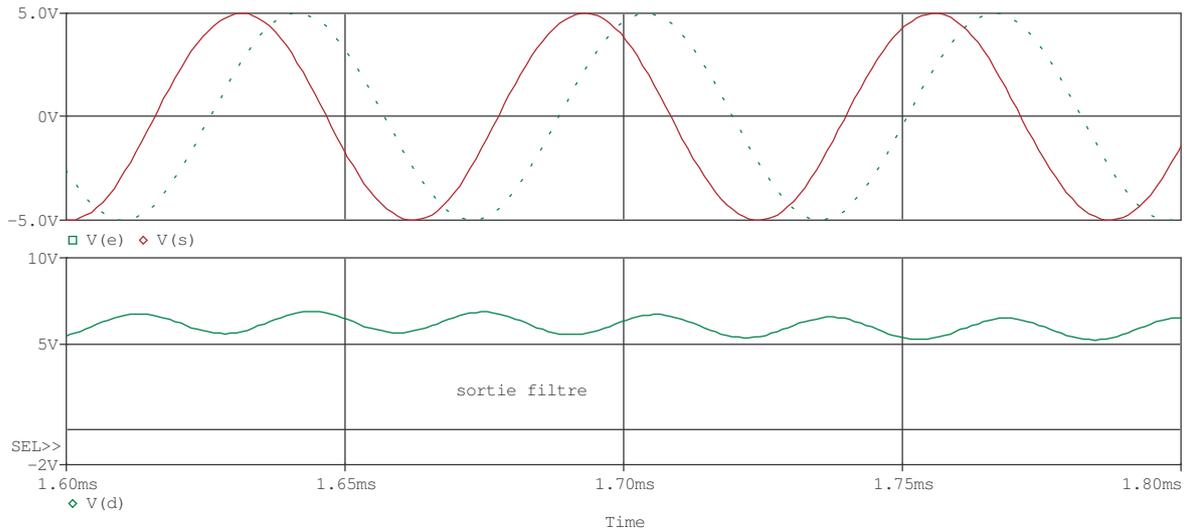
Un tel comparateur peut être réaliser avec un multiplieur intégré de type Gilbert par exemple.

### Fonctionnement de la boucle

Afin de nous familiariser avec le fonctionnement de la BVP, observons les chronogrammes de la simulation suivante, où sont représentés sur le premier graphe tension d'entrée (en pointillé) et de sortie (en trait plein), puis sur les graphes suivants, sortie du comparateur et entrée de l'OCT. La boucle est au départ accroché sur sa fréquence centrale (ici 10 kHz) ; le déphasage entre les signaux d'entrée et de sortie est de  $90^\circ$  (sortie en avance), d'après la caractéristique du comparateur de phase, la tension moyenne de sortie de celui-ci vaut donc 0. Cette tension se retrouve à la sortie du filtre et donc à l'entrée de l'OCT qui génère bien la fréquence centrale.



Au temps  $t_0=1$  ms, on augmente la fréquence d'entrée à 16 kHz. Après un transitoire, la boucle s'accroche de nouveau sur cette nouvelle fréquence, le déphasage est moins important, en entrée du comparateur ( $60^\circ$  environ comme le montre le zoom ci-après), la tension moyenne en sortie du filtre, environ 6 V (c'est à dire à l'entrée de l'OCT) correspond à la nouvelle fréquence.



### Paramètres dynamiques de la boucle, gigue de phase et distorsion spectrale

On peut remarquer dans la simulation précédente que la boucle met un certain temps pour s'accrocher sur la nouvelle fréquence.

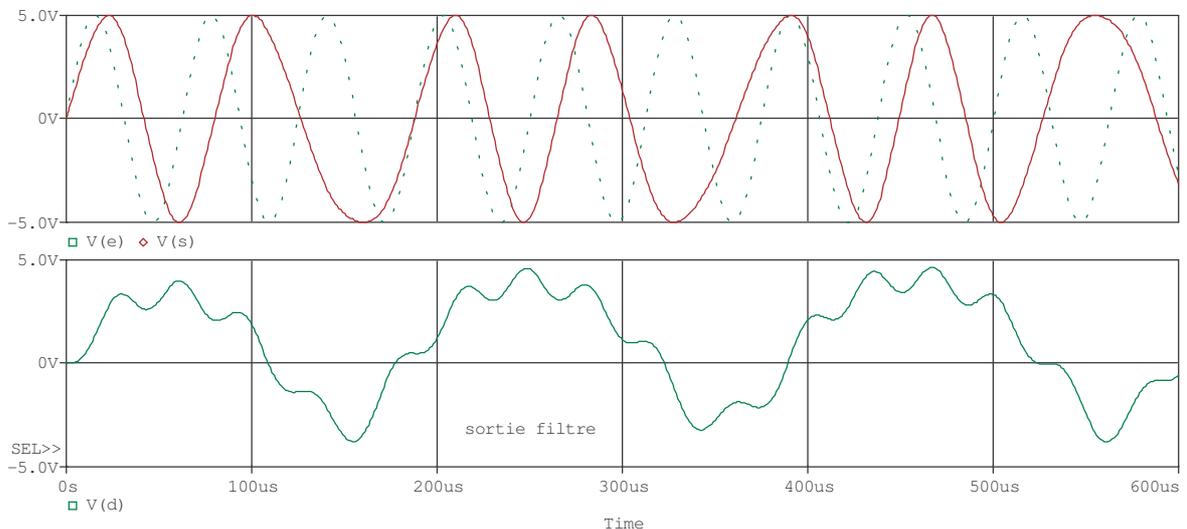
Le comportement dynamique de la boucle peut être observé en étudiant la tension d'entrée au niveau de l'OCT (en faisant abstraction de l'ondulation résiduelle) ; dans notre exemple, on peut voir que la boucle se comporte sensiblement (le comparateur introduisant un gain non linéaire) comme un système du second ordre, avec un dépassement sur une réponse à l'échelon de l'ordre de 50%.

Le temps de réponse dépend de la constante de temps introduite par le filtre. Le paragraphe sur la modélisation permettra de quantifier précisément l'influence du filtre sur les performances dynamique de la boucle.

Cependant on peut d'ors et déjà conclure qu'une constante de temps faible du circuit RC conduira à une boucle réagissant rapidement aux variations. En contrepartie, la tension à l'entrée de l'OCT sera faiblement filtrée, introduisant en sortie une distorsion spectrale et une gigue de phase (une gigue de phase peut être vue dans une première approximation comme l'effet d'une modulation de phase ou de fréquence à faible indice de modulation ; on pourra consulter les chronogrammes de la première application pour illustration).

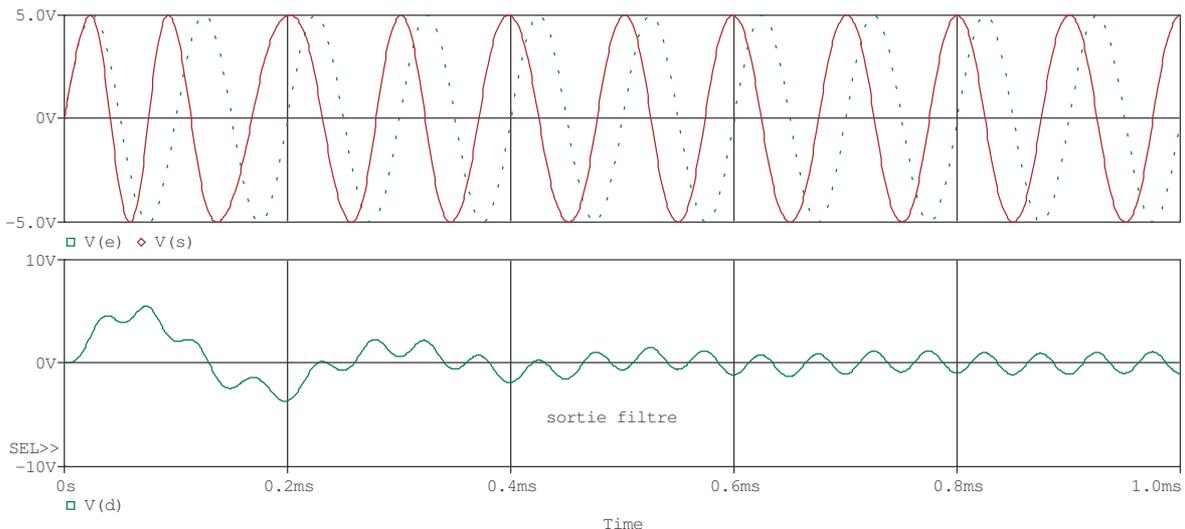
### Plage de capture et de verrouillage

Lors de la simulation précédente, à partir de la boucle accrochée sur sa fréquence centrale 10 kHz, nous avons modifié la fréquence d'entrée à 16 kHz, la boucle se verrouillant sur cette nouvelle fréquence. Dans la simulation suivante, nous tentons d'envoyer directement 16 kHz, la boucle n'étant pas initialement accrochée.



On remarque alors qu'il n'est pas possible d'obtenir le verrouillage de la boucle. Celle-ci ne « capture » pas le signal.

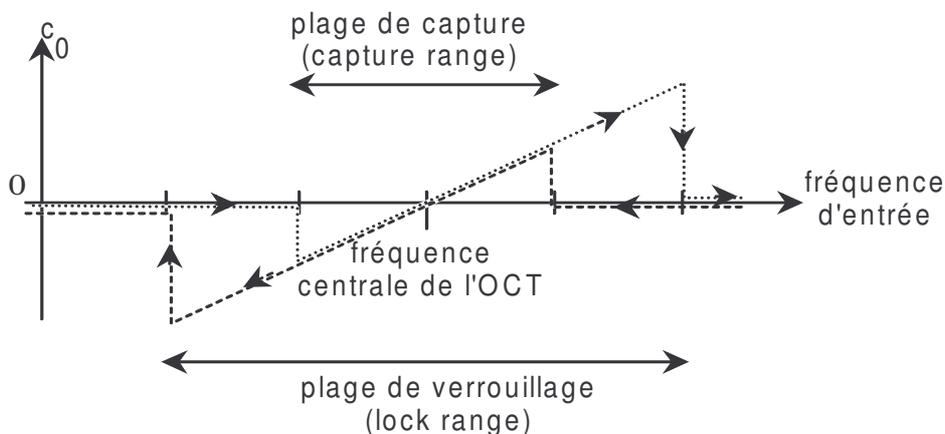
Le phénomène de capture est difficile à analyser, tant qualitativement que par les équations. Disons simplement que si le battement de fréquence entre les deux signaux à l'entrée du multiplieur, ne se trouve pas dans la bande passante du filtre, la boucle ne peut s'accrocher sur le signal. Plus l'écart de fréquence entre les deux signaux sera important, moins l'accrochage aura des chances de se faire (du moins avec un comparateur de type multiplieur). Cependant le phénomène d'accrochage ne dépend pas que des fréquences, mais également des phases, puisque dans notre exemple, la boucle laissée sans signal à l'entrée oscille à sa fréquence centrale 10 kHz (les tensions de sortie du comparateur et du filtre sont nulles) comme lors de la première simulation. Observons pour illustrer ce propos, l'accrochage de la boucle sur sa fréquence centrale :



Nous avons vu que pour pouvoir fonctionner autour de la fréquence centrale, les signaux d'entrées du comparateur doivent être en quadrature ; hors ils tendent à être en phase au départ, il s'ensuit donc un régime transitoire, observable par la tension à la sortie du filtre (ou à l'entrée de l'OCT).

On définit donc deux plages de fonctionnement en faisant croître puis décroître la fréquence d'entrée, comme le montre la figure suivante :

- une plage de capture (capture range) accessible depuis un état non accroché de la boucle ; sa largeur va essentiellement dépendre de la fréquence de coupure du filtre.
- une plage de verrouillage (lock range) accessible depuis un état accroché de la boucle ; cette plage est au moins aussi large que la précédente. Sa largeur va essentiellement dépendre des non-linéarités du comparateur et de l'OCT (fréquences limites de fonctionnement de ce dernier)



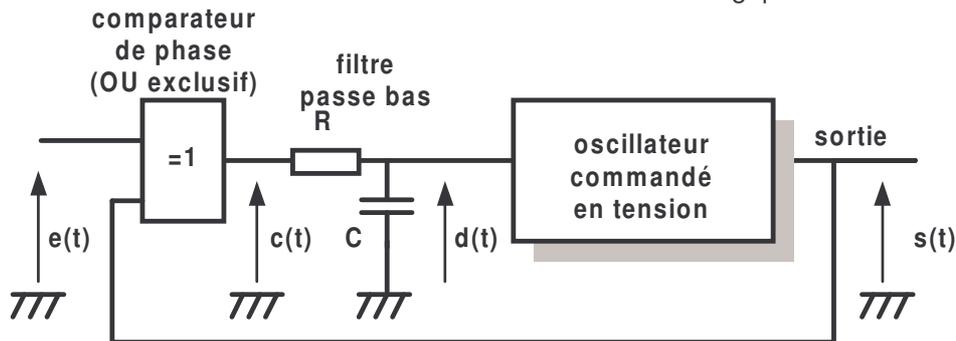
Sur cette figure, comme dans les exemples étudiés, la tension à la sortie du filtre est nulle lorsque la boucle n'est pas accrochée. Hormis ce détail particulier à notre comparateur de phase, les notions de capture et verrouillage restent valables quel que soit le type de BVP.

### 3.2 BVP semi-numérique

La mise en œuvre du multiplieur utilisé en comparateur de la boucle analogique peut s'avérer délicate, onéreuse et peu stable dans le temps. Aussi préfère-t-on généralement le remplacer par un comparateur numérique fort simple comme nous allons le voir. Le passage au numérique permet alors d'utiliser des compteurs afin d'obtenir par division, différentes valeurs de fréquences au niveau du signal d'entrée et de retour (voir plus loin sur les applications concernant les synthétiseurs). L'intégration au sein d'un unique circuit sera également facilitée.

#### Structure générale

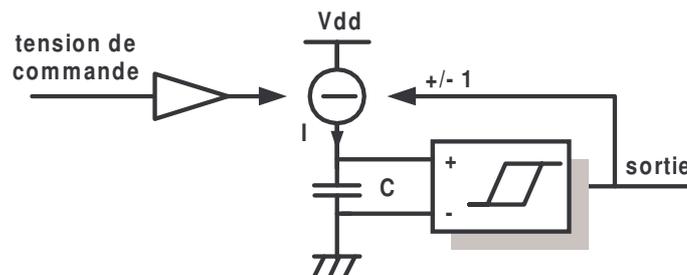
La figure suivante montre une structure très similaire à la boucle analogique.



On note simplement une différence au niveau du comparateur de phase, réalisé par une simple porte OU exclusif, ainsi qu'au niveau de l'OCT, qui suivant les besoins (voir les applications aux chapitres suivants), peut fournir soit une tension rectangulaire numérique, soit une tension sinusoïdale analogique.

#### Structure de l'OCT

Dans le premier cas, nous aurons un oscillateur commandé fonctionnant sur le principe de l'oscillateur à relaxation : un condensateur est chargé et déchargé à courant constant, la tension à ses bornes étant surveillée par un comparateur à hystérésis qui commande alors la charge ou la décharge. La valeur du courant de charge et décharge étant fonction de la tension d'entrée, la fréquence de sortie du comparateur est proportionnelle à cette tension.

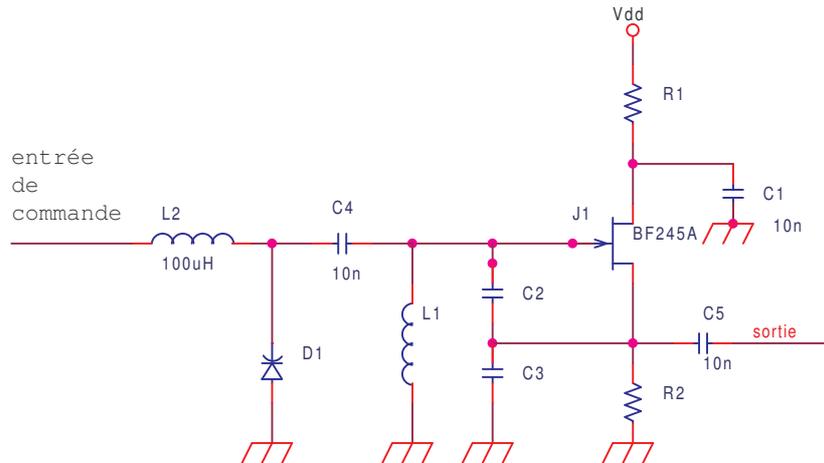


Le schéma structurel d'un tel montage présente peu d'intérêt dans la mesure où il est généralement intégré dans un circuit.

Dans le cas d'un oscillateur sinusoïdal, on retrouvera une structure similaire à celle de la boucle analogique, avec un amplificateur, un circuit résonnant et une diode varicap ; il sera juste nécessaire de prévoir une remise en forme du signal de sortie (après une éventuelle amplification) avant d'attaquer le OU exclusif par la boucle de retour.

Le schéma structurel suivant propose un exemple de réalisation à composants discrets, autour d'un TEC polarisé en drain commun par les éléments  $R_1$ ,  $R_2$  et  $L_1$ , cette dernière remplaçant la traditionnelle résistance entre grille et masse. Le circuit résonnant de type Collpits est composé des condensateurs  $C_2$  et  $C_3$ , ainsi que de l'inductance  $L_1$ . La diode varicap  $D_1$  permet de faire varier la capacité aux bornes de l'inductance et donc la fréquence d'oscillation. Cette diode est polarisée négativement par la tension de commande, à travers l'inductance  $L_2$  qui stoppe les composantes hautes fréquences. Le condensateur  $C_4$  réalise la liaison entre la diode et l'amplificateur en évitant le

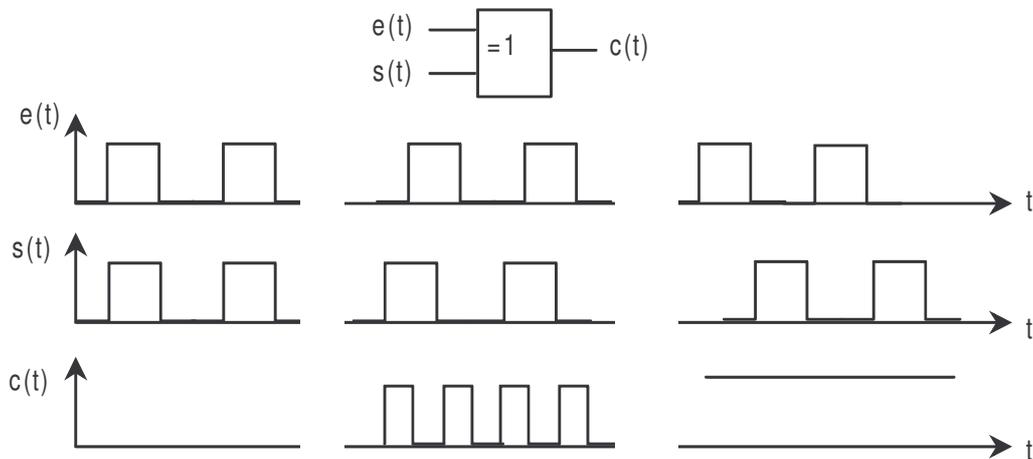
mélange des polarisations. C1 et C5 sont les condensateurs de découplage et de liaison de l'amplificateur.



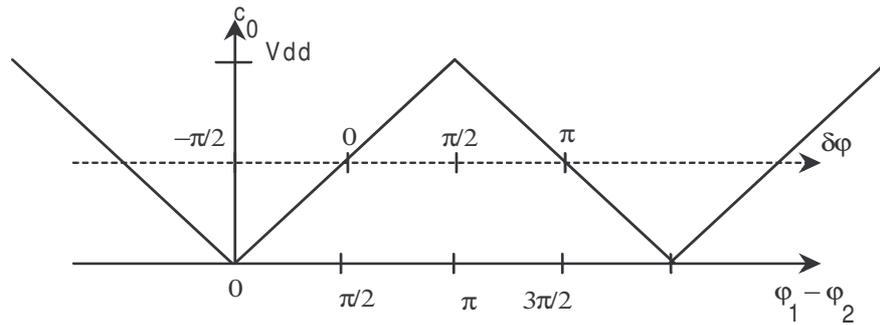
On trouvera également des exemples où l'amplificateur est intégré dans un circuit monolithique (oscillateur MC12148 de chez Motorola), réalisant souvent d'autres fonctions avec lesquelles la boucle risque d'être associées (oscillateur mélangeur NE602 de chez Philips pour récepteur superhétérodyne). Certains constructeurs, comme Mini-Circuit, proposent des solutions toutes intégrées sur circuits hybrides.

### Etude du comparateur de phase

Le comparateur est constitué d'un simple OU exclusif comme le montre la figure ci-après, où on peut remarquer que la valeur moyenne de la tension de sortie du comparateur représente au signe près l'écart de "phase" entre les signaux à l'entrée du comparateur (à condition que ceux-ci soit de rapport cyclique 0,5).



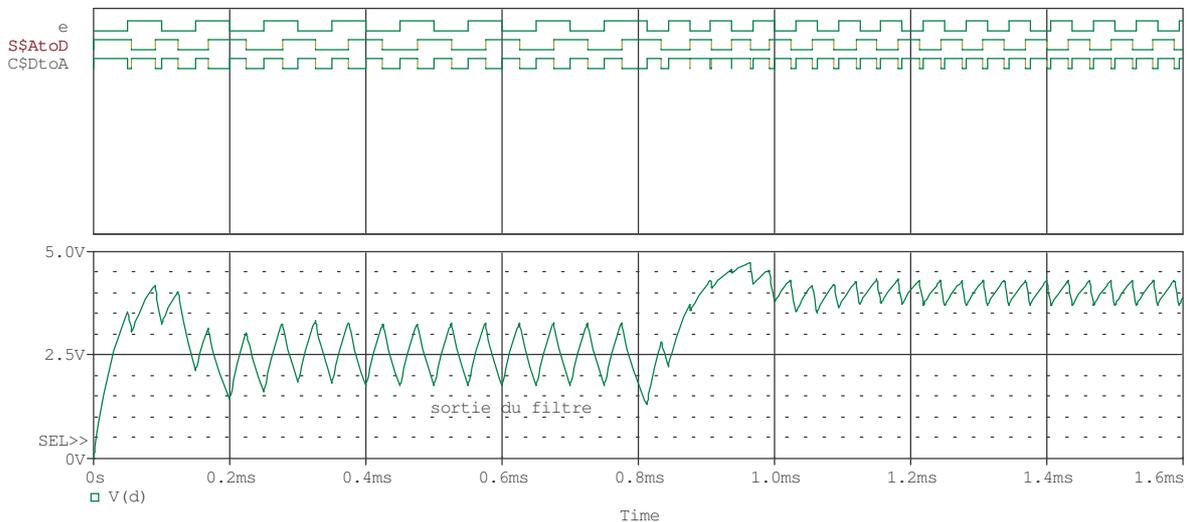
Un tel comparateur sera donc utilisable autour d'un déphasage de  $\pi/2$  entre les deux signaux, pour des déphasages allant de 0 à  $\pi$ . La plage de verrouillage de la boucle sera donc limitée par ces deux valeurs.



Un simple circuit RC extrait alors la composante continue du signal de sortie du OU exclusif.

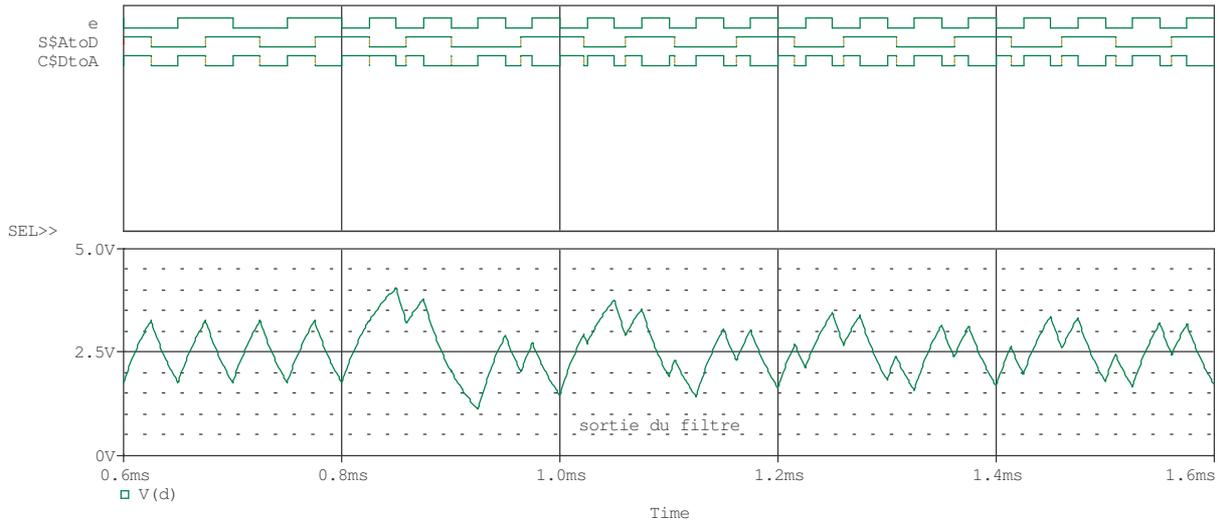
### Fonctionnement

Voici le résultat obtenu par simulation dans des conditions voisines de notre première simulation avec la boucle analogique : dans un premier temps jusqu'à 8 ms on impose sur l'entrée  $e(t)$  la fréquence centrale de 10 kHz, puis une fréquence de 16 kHz ; les chronogrammes représentent dans l'ordre l'entrée de la BVP, la sortie de la BVP, la sortie du comparateur, la sortie du filtre.



On remarque qu'avec la fréquence centrale, lors du régime établi, le déphasage entre les deux signaux est de  $90^\circ$ , ce qui conduit à une tension moyenne de 2,5 V à l'entrée de l'OCT si les circuits sont alimentés en 5 V ; nous sommes bien au milieu de la dynamique de l'OCT donc sur la fréquence centrale. Lors du régime établi à 16 kHz, le déphasage vaut presque  $180^\circ$ , ce qui a pour effet d'augmenter la tension à l'entrée de l'OCT, donc de d'augmenter la fréquence en sortie de la boucle.

Le comparateur OU exclusif présente cependant le défaut de s'accrocher sur des fréquences harmoniques. La simulation suivante démarre avec la boucle verrouillée sur la fréquence centrale et à 0,8 ms, le signal d'entrée passe à une fréquence double. On remarque alors que la valeur moyenne de la tension en sortie du comparateur ne change pas et la fréquence de sortie de la boucle non plus, mis à part lors d'un court régime transitoire.



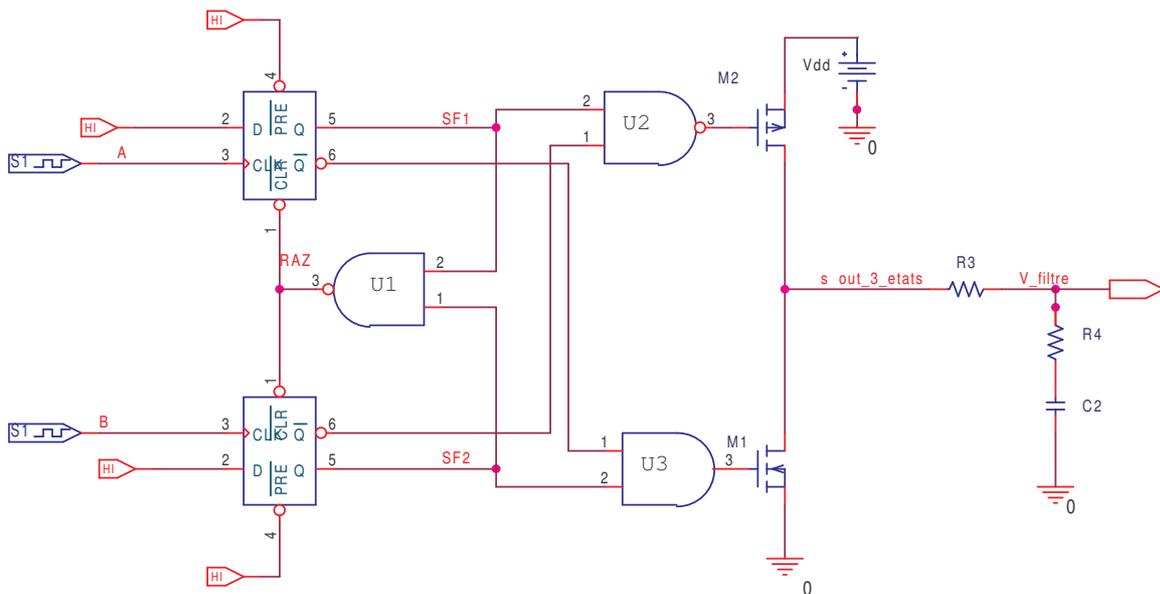
### Comparateur à erreur de phase nulle

Dans certaines applications, il est indispensable que les signaux d'entrée et de sortie de la BVP soient en phase quelle que soit la fréquence (voir l'application sur la commande de moteur par exemple). Les comparateurs précédents, le multiplieur comme le OU exclusif, ne répondent pas à cette exigence : à la fréquence centrale, un déphasage de  $90^\circ$  existe entre les signaux, et ce déphasage varie avec la fréquence afin de fournir la tension de commande à l'OCT.

Le schéma structurel suivant propose un comparateur répondant à l'exigence d'un déphasage nul en réagissant sur les fronts montants des signaux de référence et de retour de la boucle. Le comparateur a été représenté associé à son filtre.

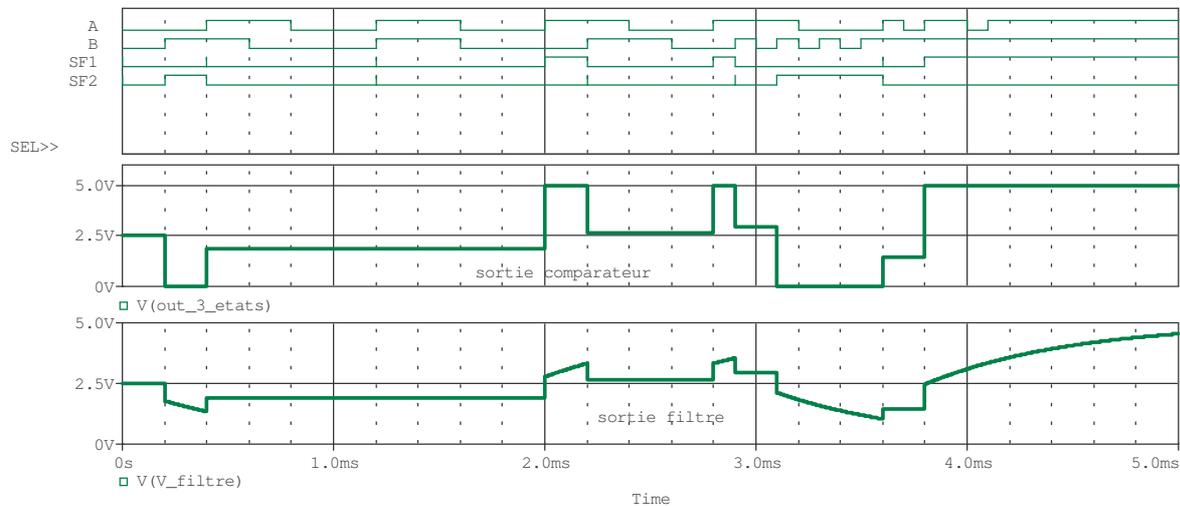
Les bascules D, dont l'entrée D est toujours au niveau logique 1, passent leur sortie à ce niveau dès qu'apparaît un front montant sur l'entrée d'horloge, à laquelle est relié le signal à surveiller.

Le premier front montant qui arrive met au niveau logique 1 la bascule correspondante. Lorsque le front montant du second signal arrive, la seconde bascule passe un court instant au niveau logique 1 et les deux bascules sont réinitialisées par U1.



Lors de la simulation suivante, nous supposerons le condensateur initialement chargé à la moitié de la tension d'alimentation. Si le signal A (signal de référence) est en avance c'est la bascule du haut qui passe au niveau logique 1, tandis que le transistor PMOS M2 devient passant et le condensateur se charge pendant un temps proportionnel au déphasage, permettant à l'OCT, d'augmenter la fréquence

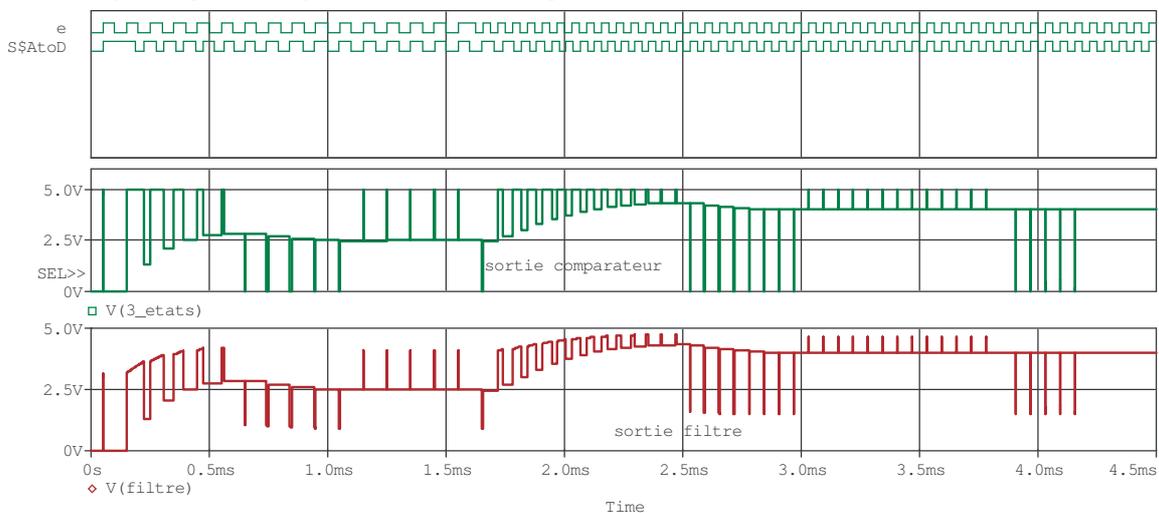
du signal de sortie (signal B) qui va rattraper son retard. On peut faire un raisonnement similaire avec un retard du signal de référence et une décharge du condensateur. Les portes U2 et U3 évitent que l'impulsion de ré-initialisation sur retrouve en sortie.



Une boucle utilisant un tel comparateur est dans un état stable lorsque les signaux d'entrée et de sortie de la boucle sont en phase (ou plus exactement lorsque les fronts montants de ces deux signaux arrivent au même instant). Les bascules sont alors continuellement au niveau logique 0, les transistors MOS sont bloqués, la sortie du comparateur est en haute impédance, la charge du condensateur et la tension d'entrée de l'OCT ne varient pas. Comme on peut le voir sur les chronogrammes, les sorties du comparateur et du filtre prennent alors la valeur de la charge du condensateur.

L'erreur de phase d'une telle boucle étant nulle, on conçoit que par rapport aux boucles précédentes qui présentait seulement une erreur de fréquence nulle, une intégration (au sens de Laplace) à été introduite dans la fonction de transfert en boucle ouverte. On verra dans le chapitre sur la modélisation que les problèmes de stabilité résultant par cette intégration supplémentaire rendent nécessaire la résistance  $R_4$ , qui réalise par interaction avec le condensateur un réseau à avance de phase.

Les chronogrammes suivants représentent une simulation de la boucle complète dans des conditions voisines de celle effectuée avec le comparateur OU exclusif : dans un premier temps, le signal d'entrée oscille à la fréquence centrale 10 kHz, puis passe à 16 kHz au bout de 1,6 ms. Les chronogrammes présentent le signal à l'entrée de la boucle, le signal à la sortie de la boucle, à la sortie du comparateur et à la sortie du filtre. On notera que quelle que soit la fréquence, en régime établi, le déphasage est toujours nul entre les signaux d'entrée et de sortie de la boucle.



En dehors du déphasage nul, ce comparateur présente par rapport au OU exclusif, l'avantage de ne pas verrouiller la boucle sur de fréquences harmoniques, de ne pas nécessiter un rapport cyclique de 0,5 (fonctionnement sur front), de toujours imposer en sortie la fréquence la plus proche de celle de l'entrée si la boucle n'est pas accrochée. De cette dernière constatation, on déduit qu'avec un comparateur 3 états, les plages de verrouillage et de capture sont égales.

Les principales différences entre le comparateur précédent à trois états et le comparateur à OU exclusif sont résumées dans le tableau suivant :

	Comparateur I OU exclusif	Comparateur II trois états
rapport cyclique des entrées	0,5	quelconque
erreur de phase	de 0 à 180°	0°
plage de verrouillage ( $2 f_L$ ) et de capture ( $2 f_C$ )	$f_C < f_L$	$f_C = f_L$
verrouillage parasite sur harmonique	oui	non
évolution hors verrouillage	aléatoire	dans le sens du verrouillage
mise en oeuvre du filtre	simple	complexe
réjection du bruit d'entrée	grande	faible
puissance consommée	faible	très faible

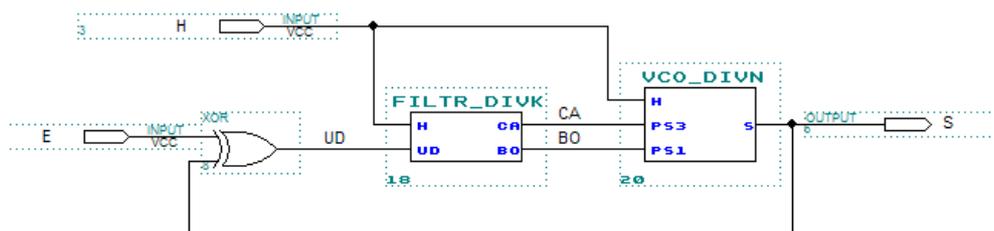
On trouvera en annexe la description VHDL d'un comparateur trois états.

### 3.3 BVP numérique

Cette boucle, comme son nom l'indique ne fera intervenir que des signaux numériques et sera donc très facile à synthétiser au sein d'un FPGA. Les différents paramètres de la boucle comme la plage de verrouillage et la constante de temps seront de plus ajustables numériquement. On ne pourra cependant pas obtenir un signal de sortie de fréquence aussi élevée et d'aussi bonne pureté spectrale qu'avec les boucles semi-numériques avec OCT analogique.

#### Exemple de structure de base

La structure d'une BVP numérique peut être très variable suivant la complexité possible et les performances souhaitées. Le schéma ci-après propose une structure très proche des boucles précédentes, à un signal d'horloge près :



Le comparateur de phase est de nouveau constitué par une porte OU exclusif. Le fonctionnement de cette partie est donc identique à celui de la boucle semi-numérique, au détail près que nous n'allons pas cette fois utiliser la valeur moyenne du signal de sortie, mais le rapport entre le temps à l'état 1 et le temps à l'état 0 (ce qui revient sensiblement au même), pour commander le comptage (UD=1) ou le décomptage (UD=0) de l'horloge H par le bloc FILTR\_DIV. Ce bloc est un compteur de modulo K.

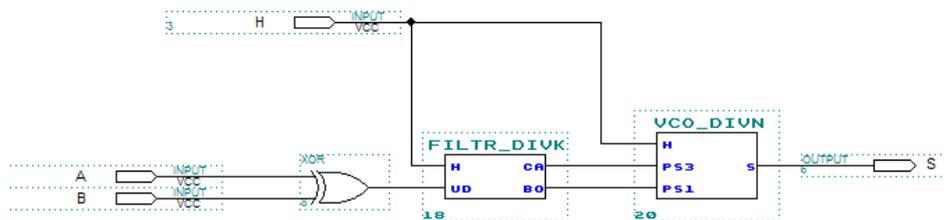
Il joue donc le rôle du filtre analogique des boucles précédentes en temporisant le passage des informations du comparateur vers l'OCT. Ce qui nous intéresse dans ce comptage n'est pas la valeur du compteur, mais le fait qu'il soit arrivé en butée, d'un côté ou de l'autre. Lorsque le compteur arrive à la valeur maximale K, la sortie de retenue CA (pour Carry) passe au niveau logique 1 ; lorsque le compteur passe à sa valeur minimale 0, la sortie de retenue BO (pour Borrow) passe au niveau logique 1. Dans les deux cas, les sorties sont remises à 0 au coup d'horloge suivant et la valeur du compteur à K/2. La constante de temps de la boucle dépendra donc du choix de K.

L'OCT est lui aussi constitué d'un compteur, de modulo N, fonctionnant en diviseur. Si les entrées PS1 (pour Plus 1) et PS3 (pour Plus 3) sont au niveau logique 0, le comptage se fait par incrément de 2 et la sortie S a la fréquence  $F_H$  de l'horloge H divisée par un nombre  $2N$ , ce qui correspond à la fréquence centrale de la boucle. Si PS1 est au niveau logique 1, l'incrément de comptage est unitaire et la fréquence de S diminue, la fréquence minimale étant  $F_H/N$ . Si PS3 est au niveau logique 1, l'incrément de comptage est de 3, et la fréquence augmente, la fréquence maximale étant  $F_H/(3N)$ . Les entrées PS1 et PS3 ne restant pas tout le temps au même niveau, toutes les fréquences de S entre  $F_H/(3N)$  et  $F_H/N$  sont possibles, par pas de  $F_H$ . On choisira N suffisamment important de manière à éviter une gigue de phase sur la sortie S.

On trouvera en annexe la description en VHDL de ces deux fonctions.

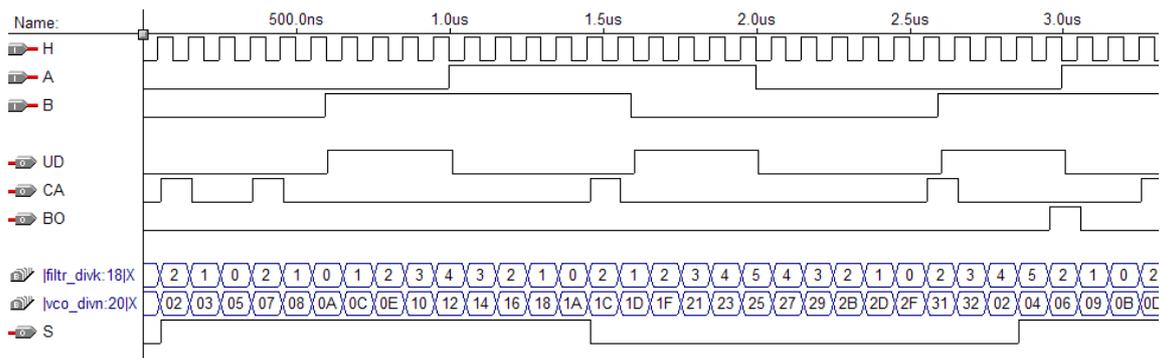
### Fonctionnement en boucle ouverte

Observons dans un premier temps le comportement du système en boucle ouverte :



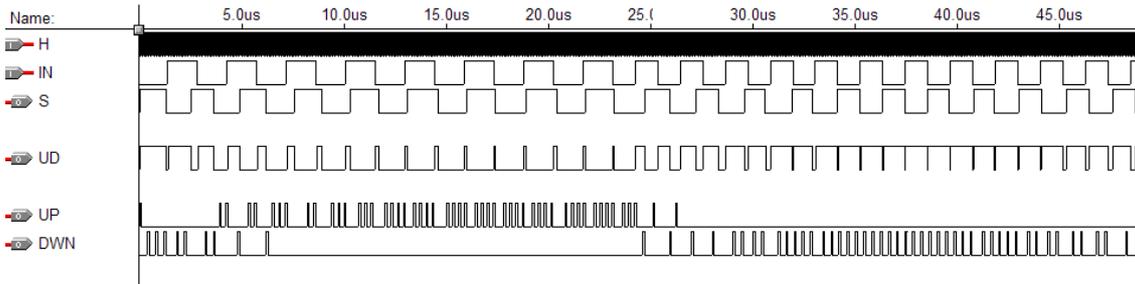
Les paramètres sont les suivants :  $K=5$ ,  $N=50$ ,  $F_H=10$  MHz et les entrées en A et B de fréquence 500 kHz.

Le comparateur envoyant dans un premier temps un niveau logique 0 sur UD, le filtre décompte (premier bus sur les chronogrammes), et chaque fois qu'il passe par la valeur 0, CA passe au niveau logique 1 au coup d'horloge suivant. L'OCT qui jusque là comptait par incrément de 2 (deuxième bus sur le chronogramme), incrémente de 1 au coup d'horloge suivant ralentissant la sortie S. Celle-ci passe au niveau logique 0 au coup d'horloge suivant le passage de ce comptage par la moitié à 25 (soit 19 en hexadécimal), et repasse au niveau logique 1 au coup d'horloge suivant la fin du comptage à la valeur 0 du compteur. On observera de même que lorsque le compteur du filtre atteint  $K=5$ , au coup d'horloge suivant BO passe au niveau logique 1, puis un coup d'horloge après, le compteur de l'OCT s'incrémente de 3, augmentant la fréquence de la sortie S.



### Fonctionnement en boucle fermée

Voici le fonctionnement en boucle fermée de la boucle pour une fréquence d'entrée qui varie par saut de fréquence de l'entrée de 344 kHz à 454 kHz (l'horloge H de fréquence beaucoup plus élevée n'est pas accessible).



Après un régime transitoire, la boucle s'accroche sur la première fréquence (régime établi à environ 14  $\mu$ s) puis à 24  $\mu$ s la fréquence d'entrée change, la boucle étant de nouveau accrochée à 35  $\mu$ s. On peut remarquer que ces deux fréquences correspondent aux limites de fonctionnement du comparateur, les signaux étant presque en phase avec la première fréquence, et en opposition de phase avec la seconde.

## 4 Exemples d'applications

### 4.1 Récupération du rythme de l'horloge

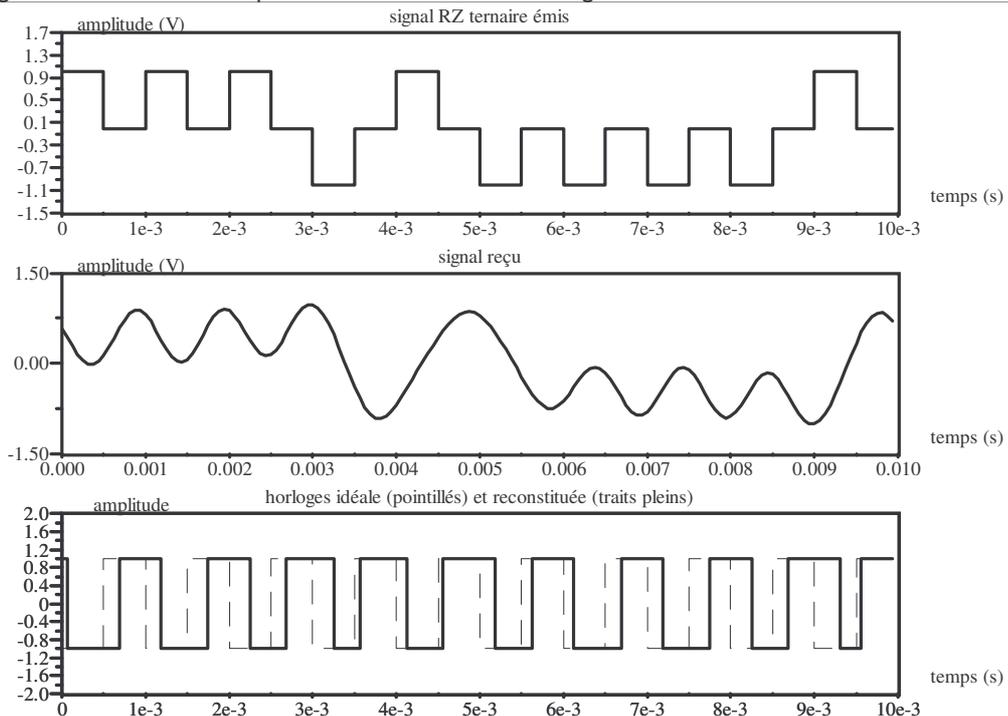
Dans une transmission d'information numérique, en particulier dans les transmissions synchrones, la récupération du signal d'horloge au niveau du récepteur est un élément essentiel : en effet, par soucis d'économie, celle-ci n'est généralement pas transmise. Il faut donc la retrouver à partir des données reçues afin de pouvoir lire ces dernières.

La fréquence d'horloge est connue par le récepteur, mais il lui est nécessaire de retrouver la phase. C'est la connaissance de la phase qui permettra de lire (d'échantillonner) le signal reçu au bon moment et d'en déduire l'information binaire transmise. La solution consistant à utiliser un oscillateur indépendant au niveau du récepteur n'est pas viable : celui-ci finirait par dériver par rapport à celui de l'émetteur, et l'information phase serait perdue.

Le codage de l'information est choisi afin de rendre la chose possible.

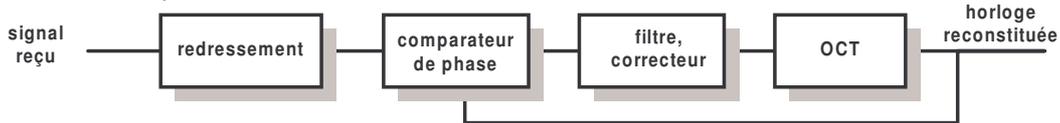
Prenons l'exemple simple d'une transmission RZ ternaire : un niveau logique 1 est représenté par un signal de 1 V (par exemple) pendant la moitié de la période d'horloge et 0 V le reste du temps ; un niveau logique 0 est représenté par le même signal, mais de signe opposé.

Les chronogrammes suivants montrent l'émission de 8 bits (1 1 1 0 1 0 0 0 1). Retrouver l'horloge à partir du signal émis est très simple : un redressement du signal suffit.



Le signal reçu par le récepteur est par contre véhiculé par le canal de transmission, dont la bande passante n'est pas infinie. Le filtrage du canal introduit une déformation importante du signal, mais surtout une interférence entre symboles (IES) : la forme du symbole reçu dépend des symboles précédents. Si on se contente de faire un redressement et une mise en forme du signal (comparaison par rapport à un seuil de 0,5 V ici), on retrouve une gigue de phase importante sur l'horloge, comme le montre la comparaison avec l'horloge idéale (retardé par rapport à celle d'émission pour prendre en compte le temps de propagation) sur le troisième chronogramme.

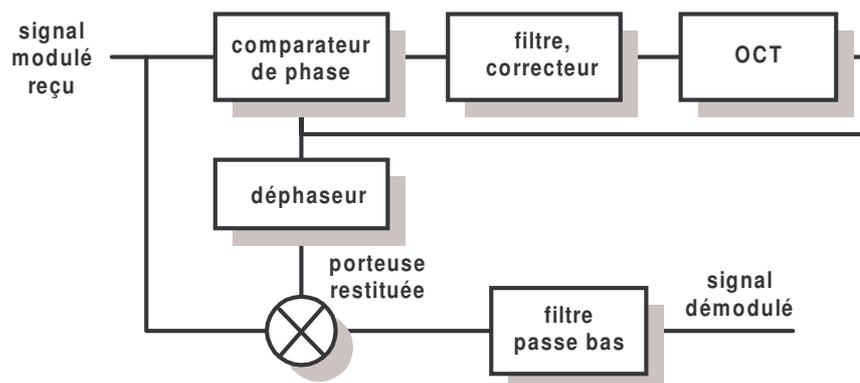
La gigue de phase pourra être fortement atténuée, en accrochant une boucle à verrouillage de phase sur l'horloge reconstituée : si les constantes de temps de la BVP sont suffisamment importantes, l'inertie introduite (par le condensateur du filtre dans le cas d'une boucle semi-numérique) diminuera les fluctuations de la phase.



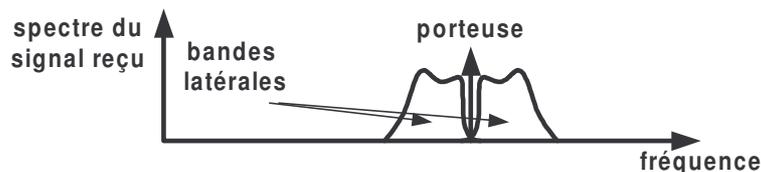
Remarque : afin de simplifier, nous avons considéré un canal non bruité.

#### 4.2 Récupération de porteuse et démodulation d'amplitude synchrone

Le principe de la démodulation synchrone consiste à multiplier le signal modulé par un signal de même fréquence et **même phase** que la porteuse (faute de quoi le résultat de la multiplication risque d'être nul avec un écart de phase de  $90^\circ$ ). Après un filtrage passe bas on récupère le signal informatif.



Pour restituer la porteuse, on attaque une BVP par le signal incident. Celle-ci va donc s'accrocher sur la fréquence porteuse toujours présente à l'entrée et "filtrer" les variations autour de cette valeur centrale que représente le signal informatif. Celui-ci est vu par la partie restitution de la porteuse comme un bruit aléatoire.

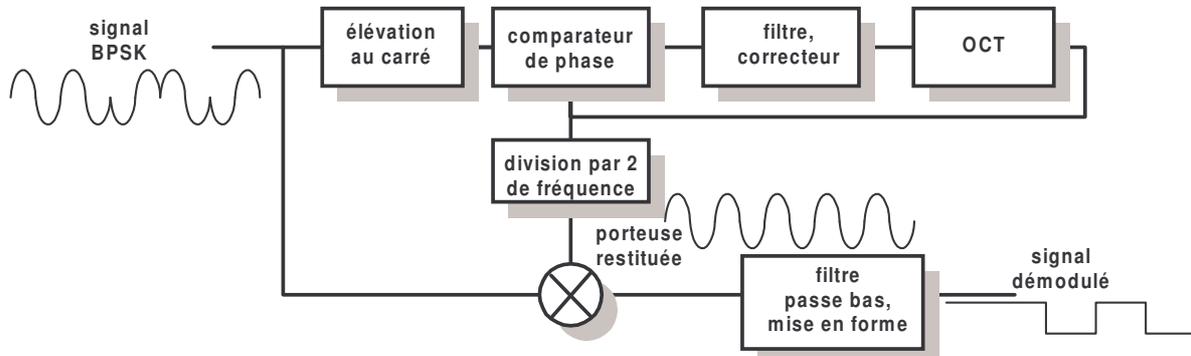


Le bruit dû à la transmission est également fortement atténué. La BVP peut être soit analogique, soit numérique ou semi-numérique, il suffit dans ces derniers cas d'écarter le signal d'entrée, et de faire subir un filtrage passe bas au signal de sortie de la BVP si l'OCT est aussi numérique. Dans tous les cas, la plage de verrouillage de la BVP doit être réduite au strict nécessaire (la fréquence porteuse et ses éventuelles fluctuations), pour éviter des accrochages parasites (canal de transmission adjacent par exemple).

Le déphaseur permet de s'adapter à la structure du comparateur de phase : avec une boucle analogique et un multiplieur comme comparateur de phase, les signaux à l'entrée de celui-ci étant en quadrature autour de la fréquence centrale, il faudra introduire un déphasage de  $90^\circ$  avant de démoduler.

Dans de nombreuses applications, la porteuse n'est pas transmise ; par exemple en modulation BPSK (pour Binary Phase Shift Keying) qui est une modulation de phase à deux niveaux, un niveau logique 1 transmet une phase de  $0^\circ$ , un niveau logique 0 une phase de  $180^\circ$ . Cette modulation peut être vue

comme une modulation d'amplitude sans porteuse, celle-ci étant multipliée par  $\pm 1$  au sein du modulateur suivant le signal numérique modulant. Pour restituer la porteuse et effectuer une démodulation synchrone, on est alors dans un cas de figure similaire à la récupération d'horloge de l'exemple précédent où par un simple redressement (ou une élévation au carré) du signal incident, on va pouvoir accrocher une BVP sur une fréquence de deux fois la porteuse ; une division par deux de cette fréquence permet de restituer cette porteuse (les boucles utilisées étant généralement numériques à erreur de phase nulle, le bloc de déphasage a été supprimé) :



On ne retrouve cependant pas complètement la phase de la porteuse, l'élévation au carré puis la division par deux supprimant le signe du signal et introduisant une ambiguïté de phase de  $\pi$ . Cet inconvénient peut être supprimé en utilisant un protocole envoyant par exemple une suite de niveaux logique 1 en début de transmission, destinée à synchroniser le récepteur. Plus simplement, on peut utiliser une modulation différentielle (la phase ne change alors que si le signal modulant est un niveau logique 1 par exemple).

Ce principe peut être utilisé avec des modulations MPSK à M niveaux ; l'élévation du signal est alors à la puissance M, et l'incertitude de phase de  $2\pi/M$ .

Une alternative possible est l'utilisation d'une structure utilisant plusieurs boucles à verrouillage de phase, appelée boucle de Costa.

### 4.3 Filter suiveur, détecteur de tonalité

Dans la même idée que le montage précédent, il est parfois nécessaire de récupérer un signal noyé dans du bruit, signal dont la fréquence varie. Une application typique est la réception de signaux émis par des engins mobiles, dont la fréquence d'émission va varier avec la température et le vieillissement, tandis que la fréquence reçue peut varier également avec l'effet Doppler. Un filtre classique poserait alors les mêmes problèmes que ceux vus au début. La plage de verrouillage doit dans ce cas aussi être suffisamment large pour suivre les variations de la fréquence d'entrée, mais suffisamment étroite pour ne pas s'accrocher sur des fréquences parasites.

On retrouvera le même type de montage lorsque l'on cherche à détecter la présence, ou l'absence d'une fréquence particulière (détecteur de tonalité) comme le montre la figure suivante. La détection de niveau peut alors se faire à l'entrée de l'OCT.

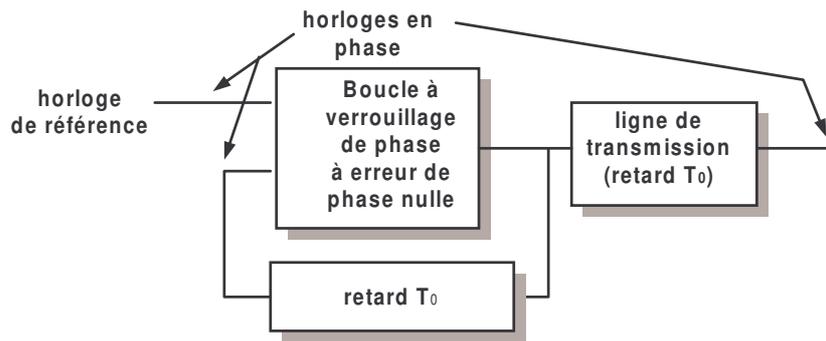


Dans ces deux applications, un filtre passe bande est souvent nécessaire à l'entrée, afin de faciliter l'accrochage de la BVP et éviter d'éventuels accrochages parasites :

### 4.4 Distribution de l'horloge et « skew »

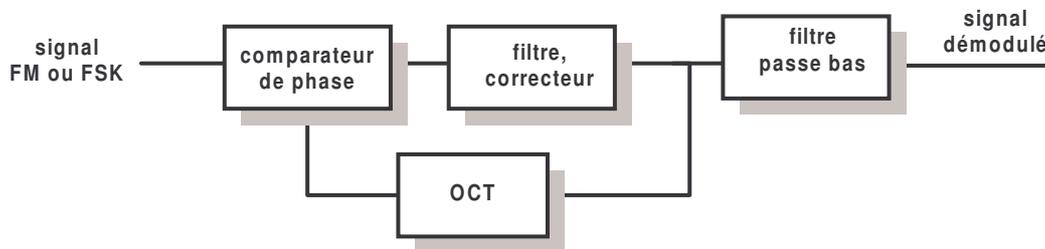
Que ce soit au sein d'un circuit imprimé ou à l'intérieur d'un FPGA, la distribution des signaux d'horloge est délicate. En effet tout retard de propagation conduit à des fronts d'horloge n'arrivant pas au même moment sur les différentes bascules, et donc à un asynchronisme. Ce phénomène est désigné par le terme anglo-saxon de « skew », dont la valeur classique est de quelques centaines de ps sur une carte imprimée.

Pour pallier ce problème, on peut utiliser une boucle à verrouillage de phase, à erreur de phase nulle, dont on a placé dans la boucle de contre réaction, un temps de retard égal à celui de la propagation sur la ligne. Les signaux à l'entrée du comparateur étant en phase, celui en sortie de la boucle sera donc en avance du temps de retard, compensant celui-ci.



#### 4.5 Démodulation FM, FSK

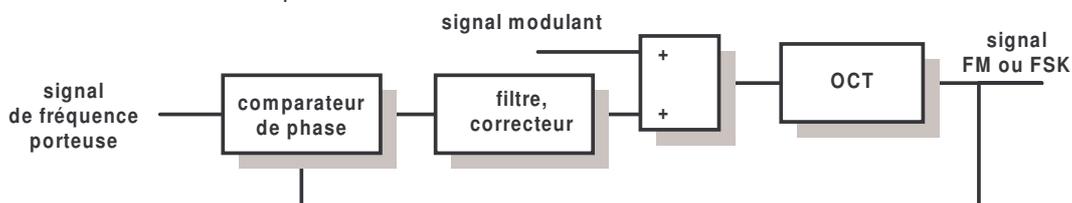
En attaquant la BVP par un signal modulé en fréquence, la sortie de la boucle suit l'entrée et on retrouve donc à l'entrée de l'OCT le signal informatif démodulé. L'information intéressante étant contenue dans la fréquence, la boucle peut indifféremment être analogique, numérique ou semi-numérique. Le filtre passe-bas en sortie permet de supprimer l'ondulation résiduelle à l'entrée de l'OCT.



Pour un fonctionnement correct, la BVP doit être suffisamment rapide pour suivre les variations de fréquence du signal d'entrée. La fonction de transfert en boucle fermée à considérer est le rapport de la variation de tension à l'entrée de l'OCT (qui est notre grandeur de sortie) sur la variation de fréquence à l'entrée (qui est notre grandeur d'entrée). Les calculs (voir paragraphe suivant) mettent en évidence une fonction de type passe bas. La fréquence de coupure doit donc être supérieure à la fréquence de variation du signal incident (c'est à dire la fréquence maximale du signal modulant).

#### 4.6 Modulation FM

Il peut être intéressant d'inclure l'OCT destiné à effectuer la modulation de fréquence dans une BVP afin de bénéficier des avantages habituels d'un asservissement : amélioration des temps de montée, diminution des dérives etc. Il suffit alors de placer un sommateur à l'entrée de l'OCT pour ajouter le signal modulant au signal issu du filtre. On retrouve en sortie de l'OCT un signal variant au rythme du signal informatif autour de la porteuse.



La BVP, vue comme l'asservissement de la fréquence de sortie de l'OCT à la fréquence porteuse doit cette fois être suffisamment lente pour ne pas compenser les variations dues au signal modulant (faute de quoi la fréquence de sortie reste constante). Ce montage ne conviendra donc pas si le signal informatif comprend une composante continue ou des composantes très basses fréquences. La fonction de transfert en boucle fermée à considérer est le rapport de la variation de la fréquence de sortie de l'OCT (qui est notre grandeur de sortie) sur la variation de la tension modulante à l'entrée du sommateur (qui est notre grandeur d'entrée), la variation de la fréquence porteuse étant nulle. Cette fonction de transfert, qui est de type passe haut dans une première approximation (voir calcul dans le paragraphe suivant), doit présenter une fréquence de coupure basse, inférieure à la fréquence minimale du signal modulant. On vérifie bien qu'on ne peut transmettre de signaux continus par cette méthode.

La plage de verrouillage de la boucle doit évidemment pouvoir suivre l'excursion de fréquence souhaitée. L'OCT est généralement de type sinusoïdal avec une boucle semi-numérique, le sommateur étant souvent réalisé avec deux diodes varicap, une des cathodes recevant le signal du filtre passe bas, l'autre le signal modulant, les anodes étant communes.

Ce montage est généralement modifié afin de pouvoir effectuer une synthèse de fréquence (voir ci-après), ce qui permettra en plus de choisir la fréquence d'émission (ou la fréquence intermédiaire s'il y a un changement de fréquence en aval).

#### 4.7 Synthèse de fréquence

L'objectif est d'obtenir un signal de sortie de fréquence comprise entre deux valeurs extrêmes  $f_{\min}$  et  $f_{\max}$ , réglable par pas  $\Delta f$  à partir d'une fréquence de référence fournie par un oscillateur à quartz. La forme du signal peut être suivant les besoins carrée, sinusoïdale ou triangulaire. Les applications concernent surtout l'instrumentation (générateur de précision) et l'émission et réception (récepteur superhétérodyne) radiofréquence.

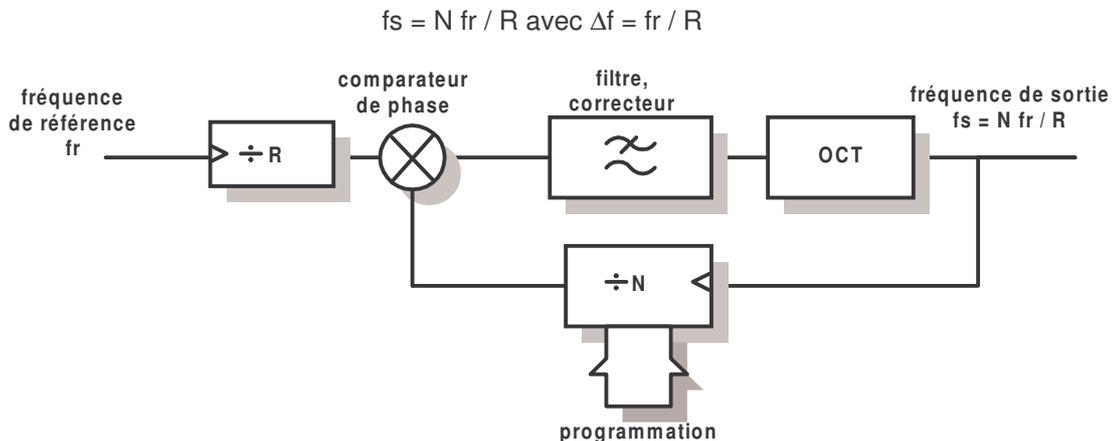
Quelle que soit la forme du signal en sortie, la boucle utilisée est généralement de type semi-numérique. Pour les applications basses fréquences (une ou quelques centaines de méga-hertz de fréquence de sortie suivant la structure), on utilisera de préférence des FPGA pour synthétiser la partie numérique (comparateur, diviseurs). On trouvera en annexe des exemples de programmes en VHDL. Pour des fréquences plus élevées (de l'ordre du giga-hertz), il existe de nombreux circuits intégrés dont quelques réalisations seront données dans les paragraphes suivants.

Il existe également des réalisations purement numériques, appelées synthèse numérique direct (SND ou DNS en anglais) utilisant une structure différente des BVP, à base d'oscillateur contrôlé numériquement (NCO). Les fréquences de sorties maximales sont cependant moins élevées.

Les performances en synthèse de fréquence concernent la pureté spectrale en sortie dans le cas d'un signal sinusoïdal, la gigue de phase, le temps d'établissement, le pas d'incréméntation. Plusieurs solutions sont envisageables.

#### Division directe

En plaçant un diviseur par  $N$ ,  $N$  étant programmable, dans la boucle de retour de la BVP, les fréquences étant égales à l'entrée du comparateur et de valeur  $fr/R$ , on obtient alors en sortie :

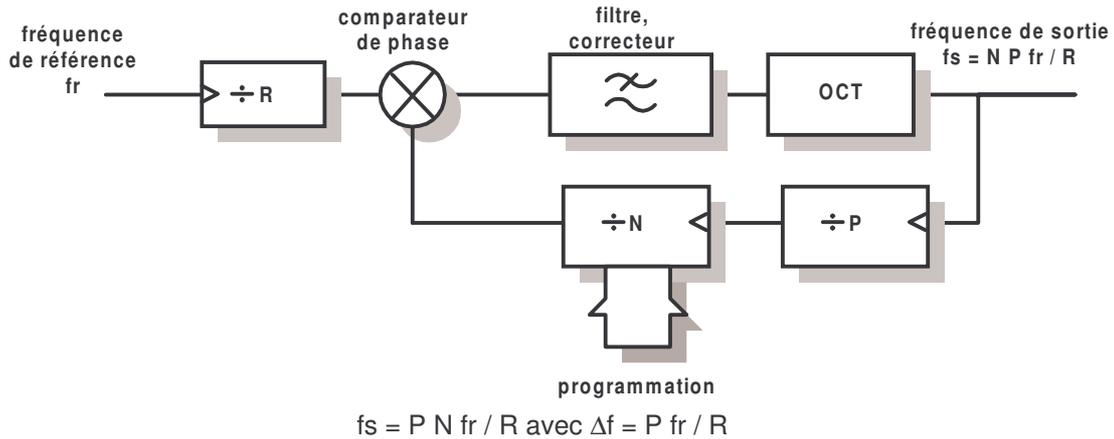


Le diviseur par  $R$  assure une résolution suffisamment faible, l'oscillateur de référence à quartz étant de fréquence élevée.

Les circuits intégrés réalisant ce genre de fonction comprennent les deux diviseurs et le comparateur de phase. L'OCT et le filtre sont externe de manière à s'adapter à chaque problème particulier. Citons par exemple le circuit Motorola MC145170 pouvant fonctionner jusqu'à une fréquence  $f_s$  de 185 MHz. La programmation des diviseurs se fait par un micro-contrôleur via une entrée série

#### Pré-division

Dans le montage précédent, si  $N$  est grand et la fréquence de sortie élevée, la réalisation du diviseur programmable sera complexe donc chère. Le diviseur demandera de plus une puissance importante pour fonctionner. Une alternative possible est le montage ci-après :



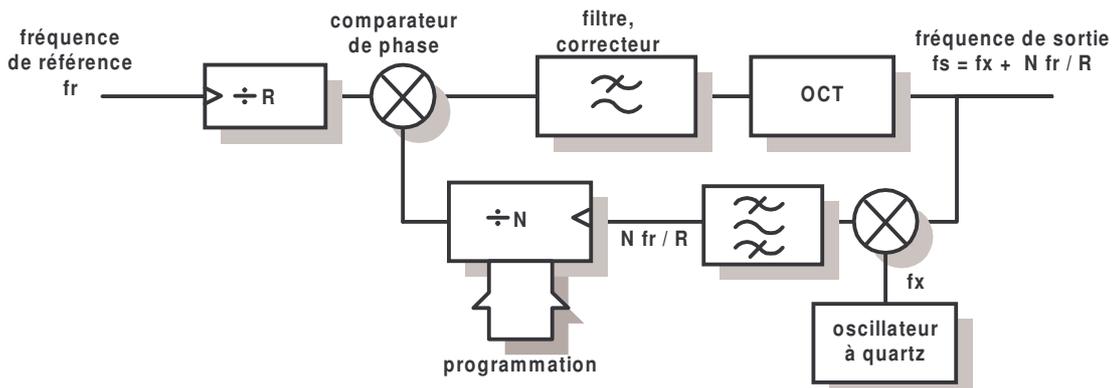
Une partie de la division de la boucle de retour, la partie haute fréquence est réalisée par un pré-diviseur (prescaler) fixe. Ce pré-diviseur est souvent en technologie ECL. La fréquence du signal à sa sortie est alors plus faible et on peut utiliser des circuits CMOS. Cette solution est moins complexe et consomme moins que la précédente où toute la division de la boucle de retour aurait du être réalisée avec une technologie rapide si on souhaitait travailler avec des fréquences élevées.

Le pré-diviseur augmente le pas, il faut donc augmenter R ou diminuer  $f_r$  pour compenser. Ces solutions présentent cependant l'inconvénient de diminuer la fréquence d'entrée du comparateur de phase. La bande passante du filtre doit alors être atténuée et le temps de réponse de la boucle est donc diminué.

On trouvera des diviseurs intégrés fonctionnant à des fréquences relativement élevées : citons le circuit  $\mu$ PG508G de chez NEC réalisant une division par 8 avec une fréquence d'entrée pouvant aller jusqu'à 14 GHz.

### Mélangeur dans la boucle

Il est également possible, afin de faire travailler la majeure partie du circuit sur des fréquences basses (simplicité de mise en oeuvre et faible consommation), d'utiliser un mélangeur dans la boucle de retour, qui fera la multiplication entre deux signaux. A la sortie du mélangeur on retrouvera donc la somme et la différence des fréquences d'entrées, un filtre supprimant la composante haute fréquence indésirable.



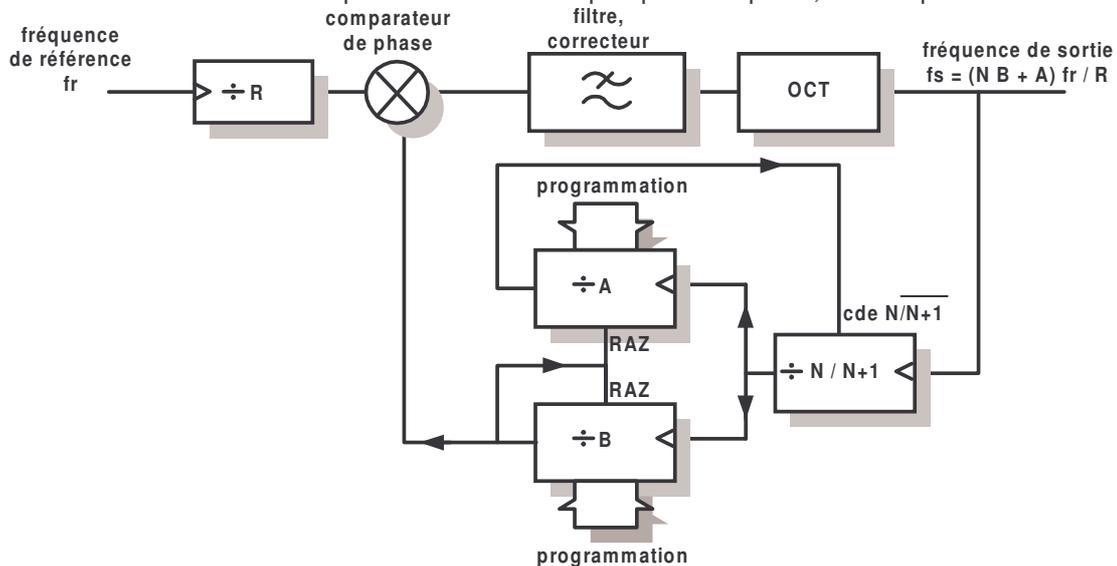
Toujours en partant du fait que les fréquences sont égales à l'entrée du comparateur, on obtient :

$$f_s = N f_r / R + f_x \text{ avec } \Delta f = f_r / R$$

On évite ainsi le problème de la diminution du temps de réponse, mais la mise en oeuvre du mélangeur reste délicate si on veut éviter des accrochages parasites sur des fréquences harmoniques. Pour éviter ces accrochages, certaines réalisations utilisent des boucles analogiques (sans les diviseurs) qui présentent alors l'avantage de travailler avec des signaux purement sinusoïdaux.

### Pré-division par compteur de modulo double

Comme nous venons de le voir, les deux solutions précédentes ne sont pas totalement satisfaisantes. Une troisième possibilité est d'utiliser un pré-diviseur de modulo double suivi de deux compteurs programmables. La réalisation du pré-diviseur sera un peu plus complexe, mais le pas restera faible.



Les deux compteurs A et B (de modulo programmable A et B, A étant inférieur ou égale à B) reçoivent les impulsions du pré-diviseur qui divise dans un premier temps par N+1 (entrée de commande au niveau logique 0). Lorsque le compteur A est plein, il commande le pré-diviseur pour diviser par N. Lorsque B est plein, l'impulsion à sa sortie remet les deux compteurs à 0 et le cycle recommence. Pour une impulsion en sortie de l'ensemble de division, on a donc  $(N+1)A + N(B-A) = NB + A$  impulsions à l'entrée, soit :

$$f_s = (NB+A)f_r / R \text{ avec } \Delta f = f_r / R$$

#### Choix de N

Le choix de N dépend évidemment du type d'application, les valeurs usuelles étant 5, 7, 10, 15, 30, 64, 128.

Le circuit  $\mu$ PB1502GR de chez NEC réalise par exemple la fonction division par 64/65 ou 128/129 suivant le niveau d'une entrée de commande.

D'autres circuits intègrent le pré-diviseur et les parties numériques de la boucle, comme les références MB15C03 de chez Fujitsu ou encore MC145200 de chez Motorola, comprenant toutes les deux un pré-diviseur 64/65, la première pouvant fonctionner avec une fréquence  $f_s$  maximale du signal de retour de 120 MHz, la seconde 2 GHz.

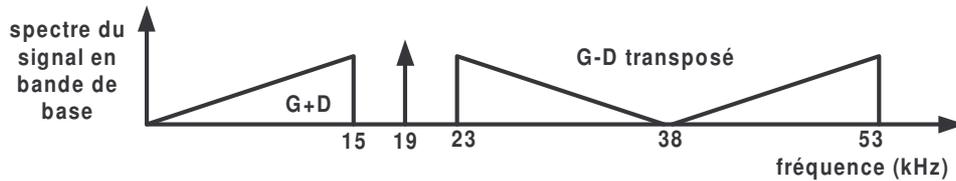
Voici les critères de choix :

- Comme on peut le remarquer, la nouvelle valeur  $N_T = N \cdot B + A$  de la division de la boucle de retour, correspond à un système de numération en base N, les chiffres B et A correspondant respectivement au de poids fort et faible (dizaine et unité dans le cas où  $N=10$  par exemple). En conséquence A doit être compris entre 0 et N-1.
- Pour que le cycle fonctionne correctement, on doit vérifier  $B \geq A$ .
- Il en découle que  $N_{T \text{ MIN}} = (N-1) \cdot N$ , c'est le cas où  $B = A_{\text{MAX}}$  et  $A=0$ ; et  $N_{T \text{ MAX}} = B_{\text{MAX}} \cdot N + A_{\text{MAX}}$
- La valeur maximale de A et surtout celle de B qui est plus grande doivent pouvoir être contenues dans les compteurs.
- On doit vérifier que  $f_s/N$  est inférieur à la fréquence maximale permise à l'entrée des compteurs A et B.
- L'information de changement de rapport du pré-diviseur étant la conséquence d'un rebouclage, les temps de fonctionnement doivent être respectés (propagation et pré positionnement).

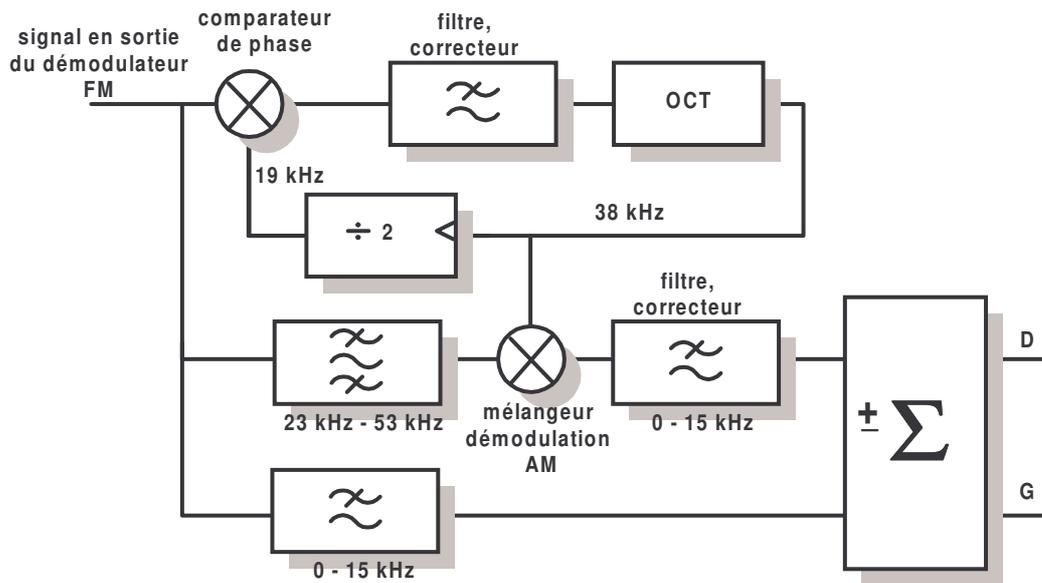
### **4.8 Démodulation FM stéréo**

Nous venons de voir qu'une BVP permettait de multiplier une fréquence par un nombre quelconque. Une application possible est la démodulation d'un signal radio FM stéréo. Celui-ci nécessite l'envoi des deux voies G et D sur le même canal, tout en restant compatible avec un récepteur

monophonique. Le signal qui sera modulé en fréquence est en fait la somme  $G+D$  en bande de base, plus la différence  $G-D$  ayant subi un décalage fréquentiel par une modulation d'amplitude sans porteuse autour de 38 kHz. Une porteuse permettant la démodulation synchrone de  $G-D$  est placée à 19 kHz, son placement à 38 kHz nécessitant un filtrage trop critique.

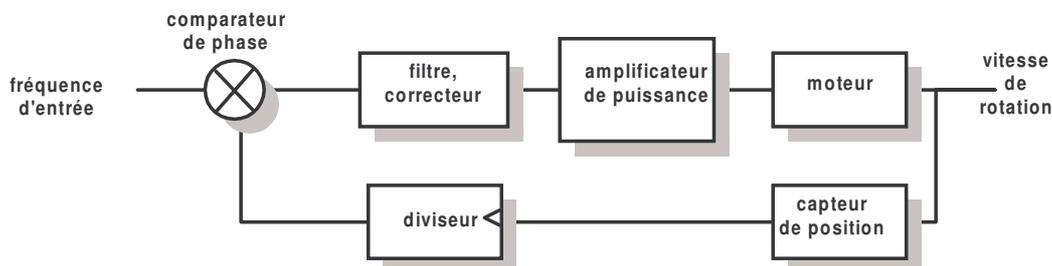


Le problème consiste donc à extraire la porteuse à 19 kHz et à multiplier sa fréquence par 2. On réalise ensuite la démodulation synchrone de la partie  $G-D$ , puis un sommateur soustracteur permet de retrouver  $G$  et  $D$ . Citons le circuits TDA1578A basé sur ce principe.



#### 4.9 Asservissement de vitesse d'un moteur

On remplace l'OCT de la boucle, par un moteur muni de sa commande et d'un capteur fournissant un nombre d'impulsions proportionnel à la vitesse. L'ensemble « amplificateur de puissance, moteur, capteur » de la figure suivante peut par exemple être un moteur à courant continu associé à un hacheur et un codeur incrémental, ou bien une machine synchrone, un onduleur et les capteurs de position à effet Hall.



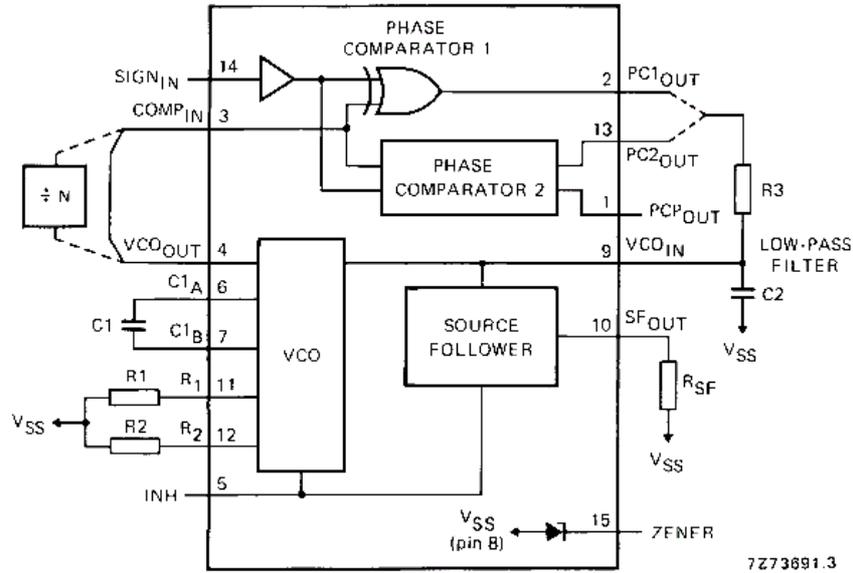
Cette solution permet de commander le moteur par une fréquence. On peut envisager de placer un diviseur dans la boucle de retour, comme pour le synthétiseur, pour commander la vitesse.

La boucle utilisée est de type semi-numérique et un asservissement de position est également envisageable si on utilise un comparateur de phase permettant une erreur de phase nulle (comparateur trois états par exemple).

Citons comme exemple de circuit intégré les références UC3633 et UC3620 de chez Unitrode, la première comprenant le comparateur de phase et les AO pour réaliser le correcteur, la seconde comprenant la partie puissance et gestion des capteurs pour un moteur synchrone.

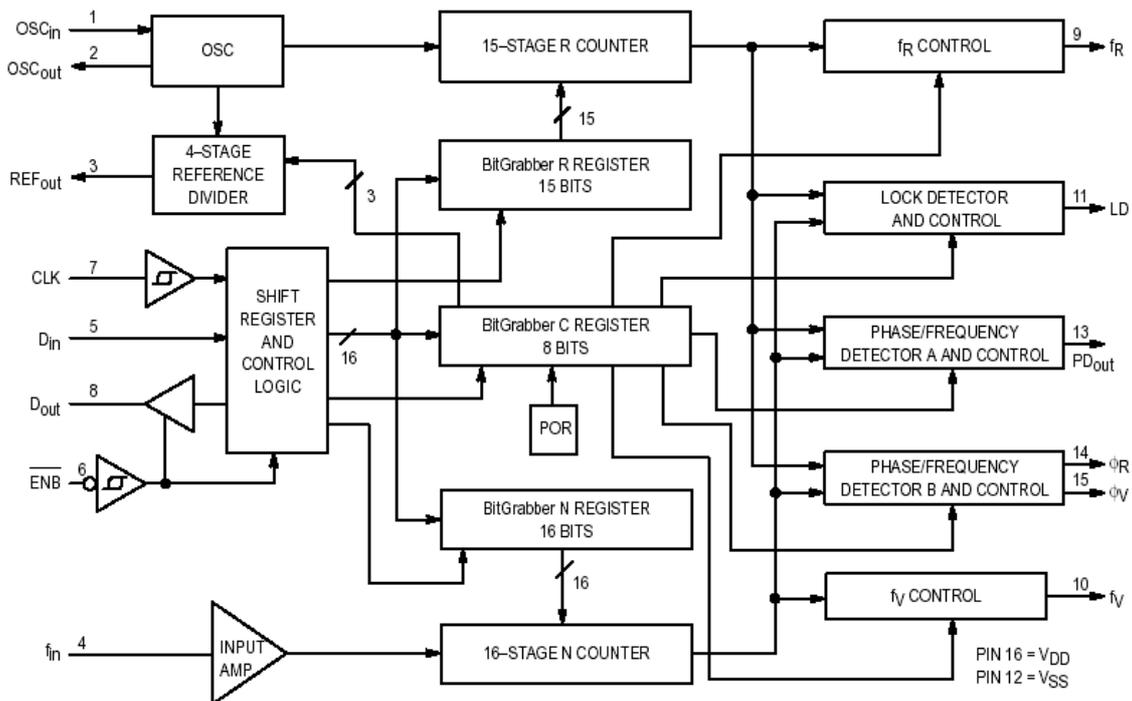
## 5 Modélisation et mise en œuvre des BVP semi-numériques

Les boucles semi-numériques sont celles que l'on rencontrera le plus souvent, soit synthétisées dans un FPGA (pour les parties numériques), soit intégrés dans un circuit intégré (voir les nombreuses références intégrant ou non les diviseurs pour la synthèse de fréquence). Les comparateurs de phase sont généralement réalisés sur le modèle du OU exclusif, ou du comparateur 3 états et ses variantes. Citons par exemple la classique 74HC4046, un peu obsolète maintenant :



La fréquence centrale de l'OCT est réglée par les éléments C1 et R1, tandis que R2 permet de régler la fréquence minimale. Deux comparateurs de phase sont disponibles, un OU exclusif (comparateur 1) et un comparateur trois états (comparateur 2). Le diviseur n'est pas intégré à la boucle.

Voici un autre exemple de circuits intégré Motorola MC145170, plus complexe que le précédent :

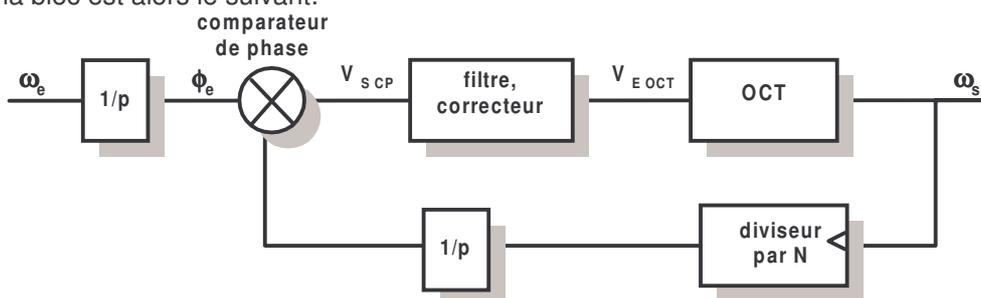


On trouve dans ce circuit le nécessaire à la réalisation d'une synthèse de fréquence par division simple. Le signal issu de l'oscillateur de référence (entrée 1 et 2 en haut à gauche) passe par un diviseur 15 étages, avant d'attaquer le comparateur de phase trois état (sortie 13 à droite au milieu) ou le comparateur deux sorties (sorties 14 et 15). Le signal de retour (entrée 4 en bas à gauche) attaque un diviseur de 16 étages, avant d'arriver aux comparateurs. Les diviseurs sont programmés les entrées séries (données :5, horloge :7 et validation :6).

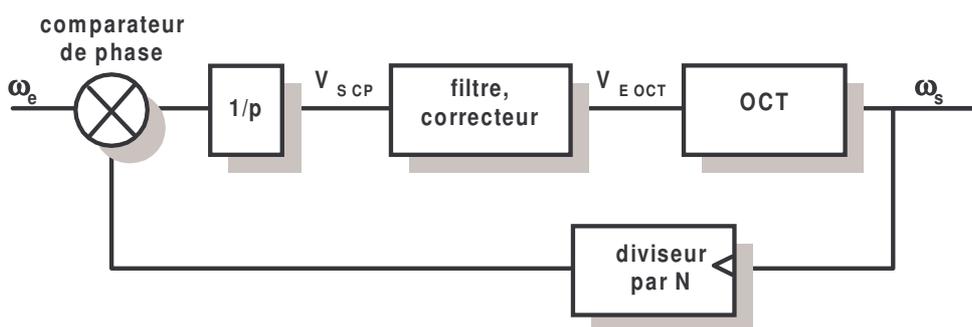
### 5.1 Modélisation des différents blocs

Afin de caractériser le comportement dynamique de la boucle et de déterminer le filtre correcteur, il est nécessaire de déterminer un modèle de la BVP. Cette modélisation se fera autour du point de fonctionnement correspondant la fréquence centrale  $f_0$  de l'OCT. Les éléments étant fortement non linéaires, on linéarise autour de ce point pour de petites variations  $\delta X$  des grandeurs  $X$ . Nous nous placerons dans le cas général où un diviseur se trouve dans la boucle de retour.

Le schéma bloc est alors le suivant:

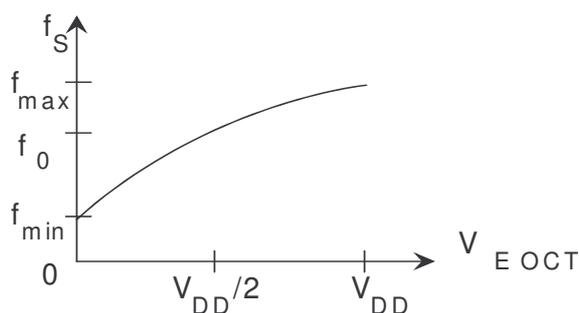


ce qui peut se représenter par :



### Modélisation de l'OCT

Sa caractéristique est la suivante :



Pour des variations autour de  $f_0$ , son gain vaut environ :

$$K_{OCT} = \frac{\delta \omega_s}{\delta V_{EOCT}} = \frac{2\pi(f_{max} - f_{min})}{V_{DD}}$$

### Diviseur

Son gain vaut  $1/N$

### Comparateur à OU exclusif (comparateur I)

A partir de la caractéristique statique étudiée précédemment le même raisonnement que pour l'OCT donne :

$$K_{CPI} = \frac{\delta V_{S\,CPI}}{\delta\phi} = \frac{V_{DD}}{\pi}$$

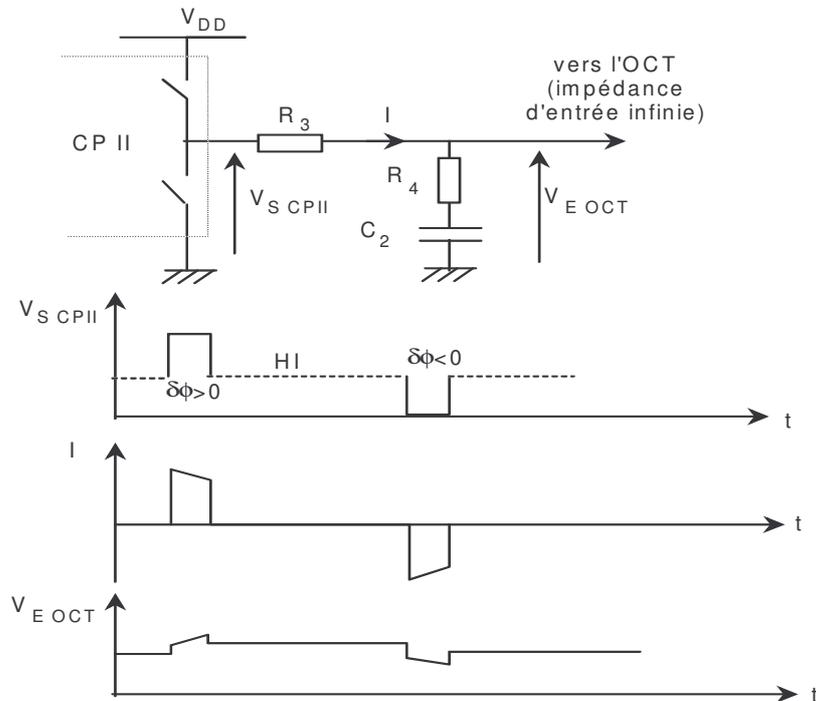
### Filtre

La fonction de transfert du filtre vaut :

$$\frac{\delta V_{E\,OCT}}{\delta V_{S\,CPI}} = \frac{1}{1 + R_3 C_2 p}$$

### Comparateur trois états (comparateur II) et filtre

Le comparateur trois états ayant un fonctionnement non linéaire au sens de Laplace (état haute impédance), il est indissociable du filtre qui l'accompagne lorsque celui-ci est réalisé par des composants discrets. Le comparateur sera vu comme deux interrupteurs fonctionnant au rythme des fronts montants des signaux à son entrée; Nous supposons le filtre de la forme suivante, la présence de  $R_4$  étant justifiée ultérieurement :



Au point de fonctionnement choisi, nous sommes au milieu de la dynamique et le condensateur est chargé sous une tension  $V_C = V_{DD}/2$  pour imposer une fréquence  $f_0$  en sortie lorsque l'écart de phase  $\delta\phi$  est nul (sortie du comparateur en haute impédance).

Pour de faibles écarts de phases, on peut considérer le courant sortant du comparateur comme rectangulaire d'amplitude :

$$\hat{I} = \frac{V_{DD} - V_C}{R_3 + R_4} = \frac{V_{DD}}{2(R_3 + R_4)} \quad \text{si } \delta\phi > 0$$

$$\hat{I} = \frac{-V_C}{R_3 + R_4} = \frac{-V_{DD}}{2(R_3 + R_4)} \quad \text{si } \delta\phi < 0$$

Pour des variations lentes de la fréquence de sortie, on peut négliger les discontinuités de  $I$  et considérer sa valeur moyenne  $\langle I \rangle$  attaquant le circuit  $R_4 C_2$ .

$$\langle I \rangle = \frac{V_{DD}}{2(R_3 + R_4)} \frac{\delta\phi}{2\pi}$$

$$\text{d'où } \delta V_{E\text{ OCT}} = \left(R_4 + \frac{1}{C_2 p}\right) \frac{V_{DD}}{2(R_3 + R_4)} \frac{\delta\phi}{2\pi} = \frac{V_{DD}(1 + R_4 C_2 p)}{2(R_3 + R_4) C_2 p} \frac{\delta\phi}{2\pi}$$

Le gain de l'ensemble comparateur filtre vaut donc :

$$\frac{\delta V_{E\text{ OCT}}}{\delta\phi} = \frac{V_{DD}(1 + R_4 C_2 p)}{4\pi(R_3 + R_4) C_2 p}$$

## 5.2 Fonction en boucle ouverte avec le comparateur OU exclusif

$$H_{BO} = \frac{K_{OCT} V_{DD}}{\pi N (1 + R_3 C_2 p) p}$$

La boucle sera mathématiquement stable, on doit choisir  $R_3 C_2$  pour filtrer les variations du signal d'entrée et assurer la stabilité physique.

La fonction de transfert en boucle fermée s'écrit :

$$H_{BF} = \frac{N}{\left(1 + \frac{2\xi p}{\omega_n} + \frac{p^2}{\omega_n^2}\right)}$$

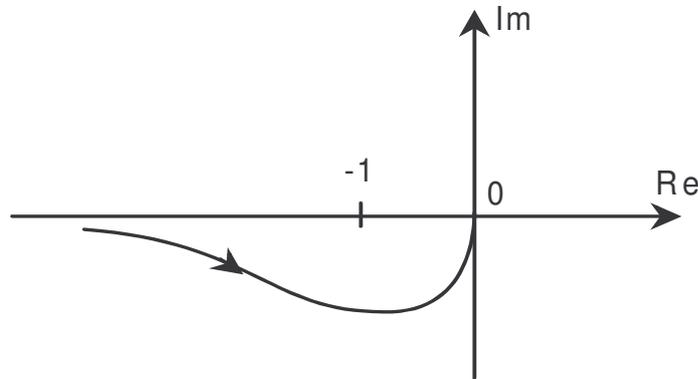
$$\text{avec } \omega_n = \sqrt{\frac{V_{DD} K_{OCT}}{\pi R_3 C_2 N}} \quad \text{et } \xi = \frac{1}{2} \sqrt{\frac{\pi N}{V_{DD} K_{OCT} R_3 C_2}}$$

Le système se comporte comme un classique second ordre.

## 5.3 Fonction en boucle ouverte avec le comparateur trois états

$$H_{BO} = \frac{K_{OCT} V_{DD}}{4\pi(R_3 + R_4) C_2 N} \frac{(1 + R_4 C_2 p)}{p^2}$$

Si on choisit  $R_4$  nul, la boucle se transforme en oscillateur. La phase aux basses fréquences étant de  $-180^\circ$ , l'étude dans le plan de Bode n'est pas aisée. Le plus simple est de raisonner dans le plan de Nyquist, où le lieu de la fonction de transfert en boucle ouverte est le suivant :



Rappel: un système stable en boucle ouverte (c'est à dire sans pôles à partie réelle positive) sera stable en boucle fermée si le lieu de sa fonction de transfert en boucle ouverte parcouru dans le sens des pulsations croissantes laisse le point -1 à gauche.

D'après la courbe obtenue, plus le gain sera important, plus notre système sera stable. Le paramètre de réglage du gain est  $(R_4 + R_3) C_2$ . On n'a cependant pas intérêt à trop diminuer cette valeur, car d'une part la sortie du comparateur ne sera plus filtrée et un système trop stable est un système lent.

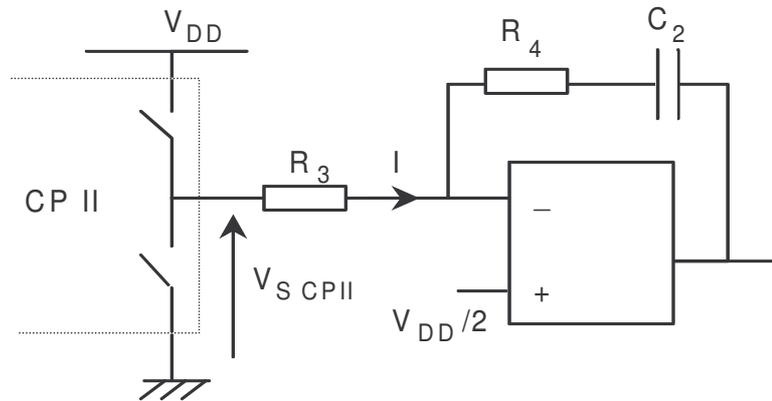
Le plus simple est alors de déterminer la fonction de transfert en boucle fermée. On arrive aux fonctions suivantes, un exemple de calcul étant donné ultérieurement :

$$H_{BF} = \frac{N \left(1 + \frac{2\xi p}{\omega_n}\right)}{\left(1 + \frac{2\xi p}{\omega_n} + \frac{p^2}{\omega_n^2}\right)}$$

$$\text{avec } \omega_n = \sqrt{\frac{V_{DD} K_{OCT}}{4\pi N(R_3 + R_4)C_2}} \quad \text{et } \xi = \frac{R_4 C_2}{2} \sqrt{\frac{V_{DD} K_{OCT}}{4\pi N(R_3 + R_4)C_2}}$$

### Amélioration du fonctionnement

Les calculs précédents ne sont valables que pour un fonctionnement de la boucle autour de  $f_0$ , le condensateur étant alors chargé à  $V_{DD}/2$ . On peut modifier le schéma de la manière suivante afin de rendre le courant de charge du condensateur indépendant de la tension à ces bornes, et obtenir ainsi une modélisation valable sur une large dynamique de fonctionnement :



Quel que soit le point de fonctionnement, l'impulsion de courant sortant du comparateur II vaut alors  $\frac{\pm V_{DD}}{2R_3}$  entre les deux fronts du signal incident, soit un courant moyen de  $\frac{V_{DD}}{R_3} \frac{\delta\phi}{4\pi}$ , d'où :

$$\frac{\delta V_{E_{OCT}}}{\delta\phi} = - \frac{V_{DD}(1 + R_4 C_2 p)}{4\pi R_3 C_2 p}$$

Pour compenser l'inversion introduite par l'amplificateur, on peut ajouter un amplificateur inverseur en cascade ou inverser les bornes d'entrées du comparateur.

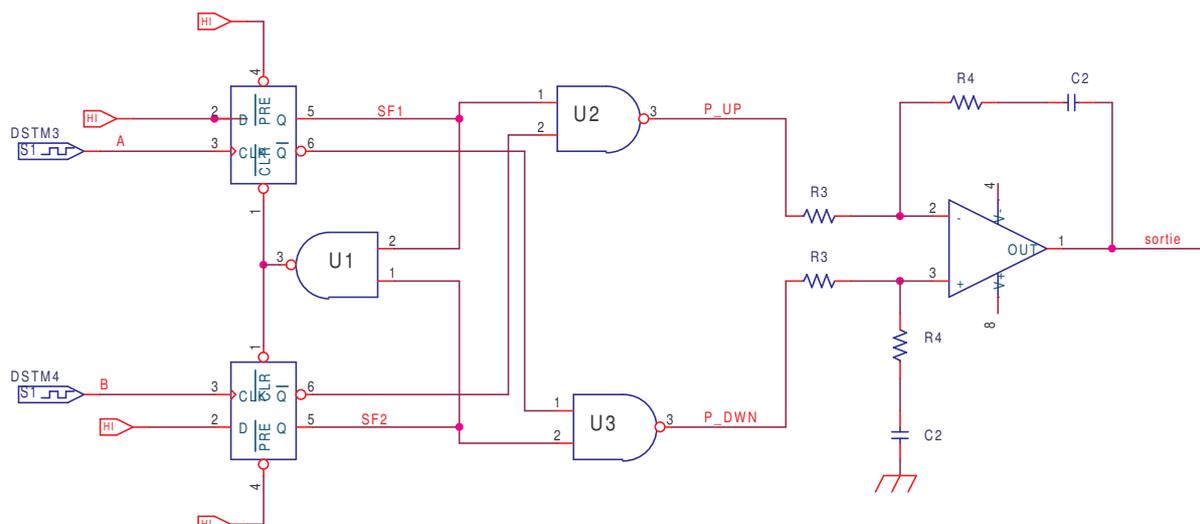
Avec ce montage, il n'y a plus de problème d'état haute impédance, le comparateur de phase pouvant être vu comme ayant une sortie en courant, courant dont la valeur est nulle entre les deux fronts montants des signaux incidents. On peut alors modéliser séparément l'ensemble comparateur et résistance  $R_3$  par un gain :  $\frac{V_{DD}}{4\pi R_3}$  puis le filtre AO,  $R_4$  et  $C_2$  (tension de sortie sur courant d'entrée)

par la méthode linéaire classique donnant  $-\frac{1 + R_4 C_2 p}{C_2 p}$ . On retrouve bien un résultat identique au précédent.

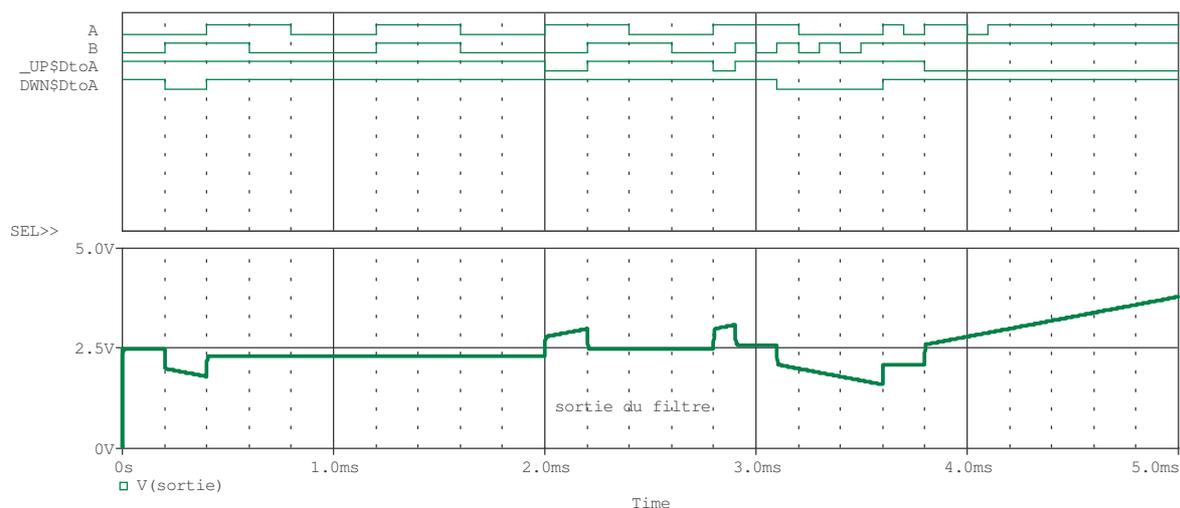
Cette méthode de modélisation consistant à séparer le comparateur trois états et le filtre modélisé linéairement est souvent utilisée abusivement avec un simple réseau  $R_3 R_4 C_2$  sans AO comme celui vu au début. Même si les résultats obtenus donnent une bonne approximation dynamique du comportement de la BVP, ils ne rendent plus compte de l'intégration due à l'ensemble comparateur filtre, et ne peuvent expliquer une erreur de phase nulle en cas d'échelon de fréquence.

### Variante du comparateur trois états

On trouvera souvent la variante suivante du comparateur trois états, représenté ici avec son filtre :



L'étage de sortie à transistor MOS a été supprimé et les portes U2 et U3 remplacées par des portes NAND ; les deux sorties P\_UP et P\_DWN (pour « pull up » et « pull down ») sont toujours au niveau logique 1, sauf entre deux fronts montant du signal d'entrée, où une des deux passe au niveau logique 0 suivant le front en avance. Les condensateurs C2 sont alors déchargés pour augmenter ou diminuer la fréquence en sortie de l'OCT. Les chronogrammes ci-dessous représentent, les deux entrées du comparateur, ses deux sorties P\_UP et P\_DWN, ainsi que la sortie du filtre.



La modélisation peut se faire très simplement, en considérant le système linéaire au sens de Laplace (pas d'état haute impédance) et en remarquant que la différence de tension entre P\_UP et P\_DWN qui attaque le filtre a pour valeur moyenne  $-V_{DD} \delta\phi / 2\pi$  (les signaux ne sont jamais au niveau logique 0 en même temps) . En calculant la transmittance du filtre vis à vis de cette entrée, on obtient alors comme fonction de transfert pour l'ensemble comparateur-filtre :

$$\frac{\delta V_{E_{OCT}}}{\delta\phi} = \frac{V_{DD}(1+R_4C_2p)}{2\pi R_3C_2p}$$

### Amélioration de la pureté spectrale et des performances

Comme nous avons pu le constater lors des simulations, l'introduction d'un réseau à avance de phase nécessaire au bon fonctionnement avec les comparateurs trois état et deux sorties, introduit une ondulation à l'entrée de l'OCT. Cette ondulation sera nuisible à une bonne pureté spectrale ; lorsque ce critère est important, on modifie le filtre, ce qui conduit à des structures et des calculs plus ou moins complexe. Un moyen simple d'améliorer la pureté spectrale, consiste à ajouter un ou plusieurs condensateurs (suivant le type de comparateur) dont la valeur sera choisie de manière à ne pas trop modifier la fonction de transfert de la boucle. La figure suivante propose trois réalisations, la première avec un comparateur trois états sans amplificateur opérationnel, la seconde avec le même

comparateur et amplificateur opérationnel, enfin la troisième avec un comparateur à deux sorties. Les éléments autres que C3 se calculent avec la méthode précédente.

comparateur trois états C3=C2/10	comparateur trois états R4 C3=1/(10 ω <sub>n</sub> )	comparateur deux sorties R4 C3=1/(10 ω <sub>n</sub> )

Dans certains cas, la recherche de bonnes performances dynamiques oblige l'utilisation de correcteurs plus complexes. De même, lors de l'asservissement de moteur, la fonction de transfert de ce dernier étant plus compliquée que celle du classique OCT, un correcteur plus performant sera nécessaire à la stabilité de la boucle.

### Généralisation

Les comparateurs trois états ou deux sorties vus ci-dessus, associé aux filtres étudiés, ont donc tous une fonction de transfert du type :

$$\frac{\delta V_{EOCT}}{\delta \phi} = \frac{K_D (1 + R_4 C_2 p)}{R_{EQ} C_2 p}$$

Le tableau suivant résume les valeurs des différents éléments :

	comparateur trois états sans AO	comparateur trois états avec AO	comparateur deux sorties
K <sub>D</sub>	$\frac{V_{DD}}{4\pi}$	$\frac{V_{DD}}{4\pi}$	$\frac{V_{DD}}{2\pi}$
R <sub>EQ</sub>	R <sub>3</sub> +R <sub>4</sub>	R <sub>3</sub>	R <sub>3</sub>

### 5.4 Application au calcul d'un synthétiseur de fréquence

A titre d'exemple calculons les composants d'un synthétiseur de fréquence dont le cahier des charges impose une fréquence de sortie 50 MHz à 100 MHz par pas de 1 MHz.

On utilisera de préférence un comparateur de type trois états afin d'éviter tout accrochage sur des fréquences harmoniques et un bon comportement hors capture (on pourrait aussi prendre un comparateur à deux sorties). Nous limiterons notre étude à un filtre à trois composants R3 R4 et C2 associé à un amplificateur comme celui vu précédemment.

L'OCT doit évidemment être capable de suivre la gamme de fréquence de 50 MHz à 100 MHz imposée en sortie. Nous supposons que ces deux fréquences correspondent respectivement aux fréquences minimales et maximales de l'OCT pour une tension de commande entre 0 et 5 V (que l'amplificateur du filtre devra être capable de fournir).

En prenant l'hypothèse d'un gain linéaire, on obtient alors K<sub>OCT</sub>=2π(100-50)/(5-0) = 62,8 Mrd/Vs.

Nous ne nous attarderons pas sur le calcul des différents éléments de celui-ci, notre objectif étant ici simplement de calculer le filtre de boucle.

La fréquence de référence à l'entrée du comparateur de phase doit correspondre au pas d'incrément, à savoir 1 MHz ici.

Quelle que soit la structure du diviseur, celui-ci peut être vu comme un simple gain 1/N, la valeur de N devant pouvoir varier de 50 à 100.

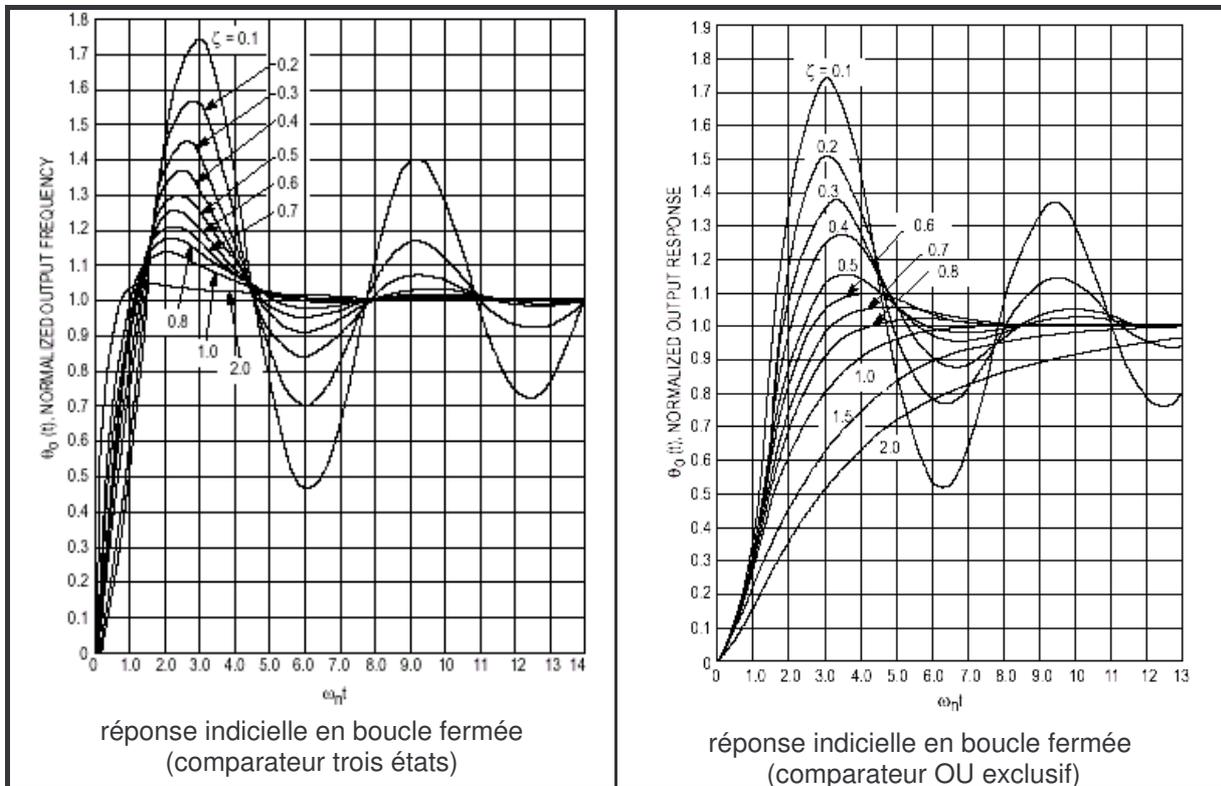
D'après ce que nous avons vu précédemment, on obtient alors pour la fonction de transfert en boucle ouverte :

$$H_{BO} = \frac{K_{OCT} V_{DD}}{4 \pi R_3 C_2 N} \frac{(1 + R_4 C_2 p)}{p^2}$$

et en boucle fermée :

$$H_{BF} = \frac{N \left( 1 + \frac{2 \xi p}{\omega_n} \right)}{\left( 1 + \frac{2 \xi p}{\omega_n} + \frac{p^2}{\omega_n^2} \right)} \quad \text{avec} \quad \omega_n = \sqrt{\frac{V_{DD} K_{OCT}}{4 \pi N R_3 C_2}} \quad \text{et} \quad \xi = \frac{R_4 C_2}{2} \sqrt{\frac{V_{DD} K_{OCT}}{4 \pi N R_3 C_2}}$$

Les abaques normalisés (pour  $\omega_n t_r$ ) de la réponse indicielle pour ce type de fonction (figure de gauche ci-après) permettent de choisir le coefficient d'amortissement. On peut remarquer que plus celui-ci sera grand, plus faible sera le temps de réponse (à 5%) réduit  $\omega_n t_r$ . Diminuer de manière trop importante le temps de réponse conduit cependant à une pulsation  $\omega_n$  importante, donc à une boucle trop rapide qui va reproduire en sortie les fluctuations du signal d'entrée (mauvais filtrage à l'entrée de l'OCT). Le compromis généralement utilisé consiste à prendre un coefficient d'amortissement de 0,7, ce qui donne un temps de réponse réduit de 4,5 et un dépassement de 20%. L'ordre du temps de réponse à 5% est classiquement choisi d'une vingtaine de période du signal d'entrée de la boucle. A titre de comparaison, la figure de droite rappelle la réponse indicielle pour un second ordre basique, utilisable avec le comparateur OU exclusif.



Un temps de réponse maximale de 20 périodes du signal d'entrée nous donne donc  $t_{r \max} = 20 \mu s$ , d'où  $\omega_n \min = 225 \cdot 10^3$ .

Le calcul des éléments se fait ensuite dans le cas le plus défavorable d'un point de vue de la stabilité, lorsque le coefficient d'amortissement est le plus faible, c'est à dire pour la valeur maximale de N. De cette manière le dépassement de la réponse à l'échelon est limité à 20% maximum, quelle que soit la valeur de N.

En choisissant  $C_2 = 1 \text{ nF}$ , l'expression de  $\omega_n$  permet de calculer  $R_3 = 4,9 \text{ k}\Omega$ .

On en détermine ensuite la valeur de  $R_4$  à partir de l'expression du coefficient d'amortissement ;  $R_4 = 6,2 \text{ k}\Omega$ .

### 5.5 Démodulateur de fréquence

Dans le cas d'une démodulation de fréquence, la sortie du signal se trouve à l'entrée de l'OCT et il n'y a pas de diviseur dans la boucle de contre réaction ; à partir de notre modélisation, on obtient donc la fonction de transfert suivante en boucle fermée :

$$\frac{\delta V_{E_{OCT}}}{\delta \omega_e} = \frac{1}{K_{OCT}} \frac{1 + R_4 C_2 p}{\left(1 + \frac{2\xi p}{\omega_n} + \frac{p^2}{\omega_n^2}\right)} \quad \text{avec } \omega_n = \sqrt{\frac{K_D K_{OCT}}{R_{EQ} C_2}} \quad \text{et } \xi = \frac{R_4 C_2}{2} \sqrt{\frac{K_D K_{OCT}}{R_{EQ} C_2}}$$

Par rapport à la première étude en boucle fermée, seule la position de la sortie a changé, on retrouve donc la même fonction de transfert au gain statique près.

Le comportement est de type passe bas et la fréquence de coupure doit être au moins égale à la fréquence maximale du signal modulant.

### 5.6 Modulateur de fréquence

Dans ce cas le signal d'entrée est le signal modulant (appelons le  $s_m$ ) se trouve au niveau de l'additionneur à l'entrée de l'OCT, le diviseur dans la boucle étant souvent conservé afin de pouvoir modifier la fréquence d'émission (choix du canal d'émission).

$$\frac{\delta \omega_s}{\delta s_m} = K_{OCT} \frac{\frac{p^2}{\omega_n^2}}{\left(1 + \frac{2\xi p}{\omega_n} + \frac{p^2}{\omega_n^2}\right)} \quad \text{avec } \omega_n = \sqrt{\frac{K_D K_{OCT}}{N R_{EQ} C_2}} \quad \text{et } \xi = \frac{R_4 C_2}{2} \sqrt{\frac{K_D K_{OCT}}{N R_{EQ} C_2}}$$

Le comportement est de type passe haut (dans cette approximation qui considère l'OCT comme un simple gain) comme l'avait prévu notre analyse qualitative lors de l'étude des applications. On retrouve les mêmes pulsations propres et coefficient d'amortissement que précédemment, l'intérieur de la boucle n'ayant pas été modifié. Le gain en boucle fermée a par contre lui aussi changé. La pulsation  $\omega_n$  doit être inférieure à la pulsation minimale du signal modulant afin que celui-ci puisse se trouver dans la bande passante.

Pour les fréquences inférieures à la fréquence de coupure, le système se comporte comme un dérivateur (pente de 20 dB/dec) ; dans cette bande de fréquence nous avons donc un modulateur de phase.

## Bibliographie

Simulation d'une boucle à verrouillage de phase sous Orcad Spice (même auteur)

Boucle à verrouillage de phase par M. Girard

Electronique pour les transmissions numériques par J. Herve chez Ellipse

## Annexe 1 : programmes VHDL de la boucle semi-numérique

### Comparateur trois états et deux sorties

Le programme proposé dans cet exposé pour le comparateur est asynchrone ; un tel système s'expose aux aléas de fonctionnement et impulsions « parasites ». Rendre le comparateur synchrone nécessiterait un programme plus complexe et la présence d'une horloge externe de fréquence élevée par rapport à celle des entrées. La suppression des impulsions parasites (impulsion de remise à 0 des bascules par exemple) devient complexe en VHDL, le compilateur ayant tendance à simplifier les « astuces » mise en place pour éviter ces impulsions. La solution retenue ici consiste à déclarer les sorties P\_UP et P\_DWN en mode « inout » de manière à pouvoir les relire et supprimer ainsi les aléas de fonctionnement.

```

library ieee;
use ieee.std_logic_1164.all;

ENTITY COMP_3E IS
    PORT (A, B                : IN std_logic;
          P_UP, P_DWN        : INOUT std_logic;
          S_TRI              : OUT std_logic);
END COMP_3E;

ARCHITECTURE archi OF COMP_3E IS
    signal Q1      : std_logic;
    signal Q2      : std_logic;
    signal RAZ     : std_logic;

BEGIN
    RAZ<= Q1 and Q2;

    P_UP<= not Q1 or not P_DWN ;
    P_DWN<= not Q2 or not P_UP ;

    S_TRI<=      '1' when P_UP='0'else
                 '0' when P_DWN='0' else
                 'Z' ;

    PROCESS(A, RAZ)
    BEGIN
        if RAZ='1' then Q1<='0';
        elsif A'event and A='1' then Q1<='1';
        end if;
    END PROCESS;

    PROCESS(B, RAZ)
    BEGIN
        if RAZ='1' then Q2<='0';
        elsif B'event and B='1' then Q2<='1';
        end if;
    END PROCESS;

END archi;

```

### Diviseur programmable

Ce diviseur intègre le strict nécessaire pour être inclus dans le retour d'une BVP montée en synthétiseur.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
use ieee.std_logic_arith.all;

ENTITY divN IS
    GENERIC (    Nbits      : integer:=10);
    PORT (      H          : IN std_logic;
           N          : IN std_logic_vector(Nbits-1 downto 0);
           S          : OUT std_logic);
END divN;

ARCHITECTURE archi OF divN IS
    signal X      :std_logic_vector(Nbits-1 downto 0);
    signal S0     :std_logic;

BEGIN
    S<=H when N=1 else S0;

    PROCESS(H)
    BEGIN
        if H'event and H='1' then
            if X>=N-1 then X<=conv_std_logic_vector (0,Nbits);
                           S0<='1';
            else           X<=X+1; S0<='0';
            end if;
        end if;
    END PROCESS;
END archi;
    
```

### Diviseur fixe

Ce diviseur est généralement externe aux autres circuits dans les synthétiseurs, étant réalisé avec une technologie plus rapide. Il est cependant parfois intéressant de l'intégrer au FPGA, limitant ainsi la partie rapide à une structure simple, qui peut donc fonctionner plus rapidement. La structure proposée ici est asynchrone de manière à gagner en fréquence. Le rapport de division est une puissance de 2. Le premier programme décrit une bascule T (changement d'état à chaque front d'horloge), qui sera reproduite NE fois en cascade dans la seconde structure.

```

library ieee;
use ieee.std_logic_1164.all;

ENTITY TFF IS
    PORT (H      : IN std_logic;
         Q      : OUT std_logic);
END TFF;

ARCHITECTURE archi OF TFF IS
    signal S : std_logic;
BEGIN
    Q<=S;
    process (H)
        begin
    
```

```

                if H'event and H='1' then S<= not S;
                end if;
            end process;
END archi;

```

```

library ieee;
use ieee.std_logic_1164.all;

-- NE est le nombre d'étages du diviseur
ENTITY div_fixe IS
    GENERIC (    NE    : integer:=4);
    PORT (       CK    : IN std_logic;
           S      : OUT std_logic);
END div_fixe;

ARCHITECTURE archi OF div_fixe IS
    component TFF0
    port(H : IN std_logic; Q : OUT std_logic);
    end component TFF0;

    signal X      :std_logic_vector(NE downto 0);

BEGIN
    S<=X(NE);
    X(0) <= CK;
    boucle :   for i in 0 to NE-1 generate
                U1 : TFF0 port map ( X(i), X(i+1));
            end generate;
end architecture archi;

```

### Diviseur N/N+1

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

ENTITY divN_N_pls_1 IS
    GENERIC (    N      : integer:=5);
    PORT (       H      : IN std_logic;
           cde     : IN std_logic;
           S      : OUT std_logic);
END divN_N_pls_1;

ARCHITECTURE archi OF divN_N_pls_1 IS
    signal X      : integer range 0 to N;
BEGIN
    PROCESS(H)
    BEGIN
        if H'event and H='1' then
            if cde='0' then
                if X= N then
                    X<=0;
                    S<='1';
                else
                    X<=X+1; S<='0';
                end if;
            else
                if X= N-1 then
                    X<=0;
                    S<='1';
                else
                    X<=X+1; S<='0';
                end if;
            end if;
        end if;
    END PROCESS;

```

```

                                end if;
    end if;
END PROCESS;
END archi;

```

### Diviseur pour synthétiseur diviseur modulo double

Cette description intègre les deux diviseurs par A et B nécessaire à la réalisation du synthétiseur avec diviseur à modulo double.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

ENTITY divAB IS
    GENERIC (    Amax  : integer:=10;
                Bmax  : integer:=20);
    PORT (       H      : IN std_logic;
            A      : IN integer range 0 to Amax;
            B      : IN integer range 0 to Bmax;
            cde    : OUT std_logic;
            S      : OUT std_logic);
END divAB;

ARCHITECTURE archi OF divAB IS
    signal XA      : integer range 0 to Amax-1;
    signal XB      : integer range 0 to Bmax-1;
    signal RAZ     : std_logic;
    signal SA      : std_logic;
    signal SB      : std_logic;

BEGIN
    S<=H when B=1 else SB;
    RAZ<= H when B=1 else (SB and SA);
    cde<=SA;

    PROCESS(H, RAZ)
    BEGIN
        if RAZ='1'
            then XA<=0; SA<='0';
        elsif H'event and H='1' then
            if XA>=A-1
                then XA<=A-1; SA<='1';
            else
                XA<=XA+1; SA<='0';
            end if;
        end if;
    END PROCESS;

    PROCESS(H)
    BEGIN
        if H'event and H='1' then
            if XB>=B-1
                then XB<=0; SB<='1';
            else
                XB<=XB+1; SB<='0';
            end if;
        end if;
    END PROCESS;

END archi;

```

## Annexe 2 : programmes VHDL de la boucle numérique

### Compteur filtre de la boucle à verrouillage numérique

```

library ieee;
use ieee.std_logic_1164.all;

ENTITY filtr_divK IS
    GENERIC (      P          : integer:=5);
    PORT (        H, UD      : IN std_logic;
            CA, BO        : OUT std_logic);

END filtr_divK;

ARCHITECTURE archi OF filtr_divK IS
    signal X      : integer range 0 to P;

BEGIN
PROCESS(H)
BEGIN
    if H'event and H='1' then
        if UD='1' then
            if X=P then X<=P/2; CA<='1';
            else X<=X+1; CA<='0'; BO<='0';
            end if;
        elsif UD='0' then
            if X=0 then X<=P/2; BO<='1';
            else X<=X-1; CA<='0'; BO<='0';
            end if;
        end if;
    end if;
END PROCESS;

END archi;
    
```

### OCT diviseur de la boucle à verrouillage numérique

```

library ieee;
use ieee.std_logic_1164.all;

ENTITY VCO_divN IS
    GENERIC(      N          : integer:=50);
    PORT (        H, PS3, PS1 : IN std_logic;
            S          : OUT std_logic);

END VCO_divN;

ARCHITECTURE archi OF VCO_divN IS
    signal X      : integer range 0 to N;
    
```

```

BEGIN
PROCESS(H)
BEGIN
    if (H'event and H='1') then
        if PS3= '1'    then
            if X>=N then X<=X-N+3;
            else X<=X+3;
            end if;
        elsif PS1='1'  then
            if X>=N then X<=X-N+1;
            else X<=X+1;
            end if;
        else
            if X>=N then X<=X-N+2;
            else X<=X+2;
            end if;
        end if;
    end if;
END PROCESS;

PROCESS(H)
BEGIN
    if (H'event and H='1') then
        if X<=N/2    then S<='1';
        else S<='0';
        end if;
    end if;
END PROCESS;

END archi;

```

## Annexe 3 : programmes Scilab des illustrations

### Signal, phase et pulsation

```

clear; stacksize(1.5e6);
//
// définition des constantes et du temps
a=2*pi*1e3; b=4*pi/5*1e6 ;
N=800; fe=40e3 ; t=1/fe*(0:N-1);
//
// définition du vecteur pulsation
w1=a*ones(1, N/4); w2=w1+b*t(1:N/4);
w3= w2(N/4)*ones(1,3*N/8)-b*t(1: 3*N/8);w4=zeros(1,N/8);
w=[w1, w2, w3, w4];
//
// définition de la phase
theta=1/fe*w*triu(ones(N, N));
//
// calcul du signal modulé
s=sin(theta);
//
// affichage
xbasc();xset("font size",5); xset("thickness",3);
    xsetech([0,0,1,1/3]) ;
plot2d(t,s, rect=[0, -1.2, 20e-3, 1.2], nax=[2, 4, 2, 4]) ; xtitle("signal","temps (s)","amplitude (V)");
    xsetech([0,1/3,1,1/3]) ;
plot2d(t,w, rect=[0, 0, 20e-3, 20e3], nax=[2, 4, 2, 4]) ; xtitle("pulsation (rd/s)","temps (s)");
    xsetech([0,2/3,1,1/3]) ;
plot2d(t,theta, rect=[0, 0, 20e-3, 180], nax=[2, 4, 2, 3]) ; xtitle("phase (rd)","temps (s)");
    
```

### Avance et retard de phase

```

clear; stacksize(1.5e6);
//
// définition des constantes et du temps
a=2*pi*1e3;N=400; fe=40e3 ;
t=1/fe*(0:N-1);
//
// définition du vecteur pulsation
w1=a*ones(1, N/5); w2=2* a*ones(1, N/5); w3=a*ones(1, N/10);
w4=.5* a*ones(1, N/2);
w=[w1, w2, w3, w4];
//
// définition des phases
theta=1/fe*w*triu(ones(N, N));
delta= theta- a*t;
//
// calcul du signal modulé
s1=1.2*sin(a*t);
s2=1.2*sin(theta);
//
    
```

```

// affichage
xbase();xset("font size",5); xset("thickness",3); xset("use color", 0);
  xsetech([0,0,1,1/3]) ;
plot2d(t,s1,style=3, rect=[0, -1.5, 10e-3, 1.5], nax=[2, 1, 2, 1], axesflag=[5])
plot2d(t,sign(s1), rect=[0, -1.5, 10e-3, 1.5], nax=[2, 1, 2, 1], axesflag=[5])
xtitle("signal de référence","temps (s)");

  xsetech([0,1/3,1,1/3]) ;
plot2d(t,s2,style=3, rect=[0, -1.5, 10e-3, 1.5], nax=[2, 1, 2, 1], axesflag=[5]) ;
plot2d(t,sign(s2), rect=[0, -1.5, 10e-3, 1.5], nax=[2, 1, 2, 1], axesflag=[5])

  xtitle("S2","temps (s)");
  xsetech([0,2/3,1,1/3]) ;
plot2d(t,delta, rect=[0, -10, 10e-3, 20], nax=[2, 1, 2, 2], axesflag=[5]) ;
xtitle("différence de phase (rd)","temps (s)");

```

### Restitution d'horloge

```

clear
//
// définition des constantes
// période d'un symbole, coefficient de sur échantillonnage, fréquence de coupure du filtre
Ts=1e-3; Sech=16 ; fc=1000 ;
// période d'échantillonnage, nombre de bits, nombre de points
Te=Ts/Sech ; Nbit=10 ;Nmax=Nbit*Sech ;
//
// définition du vecteur temps
t=Te*(0: Nmax-1);
//
// définition d'un symbole
symb=[ones(Sech/2,1) ; zeros(Sech/2,1)];
// signal aléatoire, puis sur échantillonnage pour obtenir un signal RZ
se=sign(rand(1,Nbit,'n')); se=[1 1 1 -1 1 -1 -1 -1 1] ;
se_sur=(matrix(symb*se,1,Nmax)) ;
h=-(2*abs(se_sur)-1) ;
//
// élaboration d'un filtre analogique de Chebycheff, d'ordre 4, d'ondulation 0,1
// de fréquence de coupure fc Hz
Ge=analpf(4,'cheb1',[.1 0],2*%pi*fc);
//
//
// préparation du tracé de la réponse fréquentielle du filtre
f=1/Te/Nmax*(1:Nmax);
gain=freq(Ge(2),Ge(3),%i*2*%pi*f);
//
// calcul de la fft et filtrage
Se_sur=1/Nmax*fft(se_sur,-1) ;
Sr=Se_sur .* gain ;
//
// calcul de la fft inverse en respectant les symétrie
Sr=[Sr(1 :Nmax/2), conj(Sr(Nmax/2+1 : -1 : 2))];
sr= Nmax*fft(Sr, 1) ;
//

```

```
// réception
//
R3= sign(abs(sr)-0.5);
//
// affichage
xset("window",1) ; xbaso(); xset("font size",4) ; xset("thickness",3) ; xset("use color",0);
//
xsetech([0,0,1,1/3]);plot2d2(t, se_sur, rect=[0, -1.5, Nmax*Te, 1.5], nax=[2, 10, 2, 2]);
xtitle("signal RZ ternaire émis", "temps (s)", "amplitude (V)");
//
xsetech([0,1/3,1,1/3]);plot2d(t,sr, rect=[0, -1.5, Nmax*Te, 1.5], nax=[2, 10, 2, 2]) ;
xtitle("signal reçu", "temps (s)", "amplitude (V)");
//
xsetech([0,2/3,1,1/3]);plot2d2(t,R3, rect=[0, -2, Nmax*Te, 2], nax=[2, 10, 2, 2]) ;
plot2d2(t,h,style=2, rect=[0, -2, Nmax*Te, 2], nax=[2, 10, 2, 2]) ;
xtitle("horloges idéale (pointillés) et reconstituée (traits pleins)", "temps (s)", "amplitude");
```